

摘 要

在过去十几年中,全球电子产业发展迅猛。电源管理技术被广泛地应用到许多领域中。电源管理集成电路以其体积小、效率高等优点,被大量应用在电力电子设备及系统中。这使得电源管理集成电路的研发成为当前众多公司和厂商的热点研究开发方向。

与此同时,复杂多变的应用条件、全球范围的可持续发展趋势等诸多因素,使人们对电源管理集成电路的要求越来越高。是否能够提供精确、稳定、抗扰、节能、安全、高效的电源管理系统,成为了设计的重点与难点。其中,电源管理集成电路的精度及全方位高效抗干扰性能设计具有很高的理论意义和应用价值。

本文首先分析了当前电源管理集成电路的研究状况。在对传统的电源管理芯片认真分析总结的基础上,选择基准源和振荡器这两个关键模块作为主要研究对象。针对提高电源管理芯片精度和抗电磁干扰性能,结合降低电源待机功耗问题,设计了两款电路:

一款为高精度 CMOS 带隙基准电压源电路。该电路能够为开关电源芯片提供高精度高稳定的基准电压,设计电压值为 1.25V。仿真结果表明,该电路输出基准电压的绝对误差低于 3.1mV,温度系数($-40^{\circ}\text{C}\sim 150^{\circ}\text{C}$)为 15.6ppm/ $^{\circ}\text{C}$,电源抑制比(PSRR, Power Supply Rejection Ratio)为 61dB,且功耗较低。是一款高精度、低温度系数、高电源抑制的基准源。

另一款为采用频率抖动技术的 RC 振荡器电路。该电路可用于降低开关电源芯片电磁干扰幅值。振荡器中心频率为 44.6KHz,在一个周期(8ms)内实现围绕中心频率抖动,幅值为 1.6KHz。

两款电路均采用 simoMOS 1 μm 40V BiCMOS 工艺库设计,并经过了 Hspice(Synopsys 公司的线路仿真工具)仿真验证。

本文最后给出了一个以上述两款电路为核心的 PWM(Pulse Width Modulation 脉冲宽度调制)开关电源芯片实例。该实例是一款 8 引脚峰值电流型 PWM 控制器芯片,在 85V~265V 的 AC 输入范围内,可以提供恒定的直流输出,适用于离线式 AC-DC 反激拓扑的中小功率电源模块。可广泛用于各种便携式电子设备中。

关键词:电源管理;高精度;电磁干扰;带隙基准;频率抖动

Study of the High-Precision Anti-Interference Design of Power Management Integrated Circuit

Abstract

The global electronics industry was rapidly developing in the past years. The applications of the power management technology have reached an unprecedented high. For its small size, and high efficiency, the power management integrated circuits has been widely used in power electronic equipments and systems.

At the same time, people's requirements on the performance of power management integrated circuits have become higher and higher. It's very important whether they can provide precise, stable, anti-disturbance, energy-saving and efficient power management or not. And the precise degree of power management and high efficient anti-interference performance has great value and meanings in both theory and practice.

This paper analyzes the current research of the power management integrated circuits. Based on the comparison of the traditional power management chips, we use two key blocks (reference and oscillator) as the main object of study. For improving the accuracy of the power management chip and the performance of the anti-electromagnetic interference, two types of circuit are designed.

A high-precision CMOS bandgap voltage reference is designed in order to meet the requirements of high precision and anti-interference, and the design value is 1.25V. Simulation results show that the absolute error is lower than 3.1mV, the temperature coefficient is 15.6ppm/°C, over -40°C~150°C, and the power supply rejection ratio (PSRR, Power Supply Rejection Ratio) is high.

An improved frequency jittering RC Oscillator is also desined according to an analysis of conventional RC oscillators. The central frequency of the oscillator is 44.6KHz, and the frequency jitters is from 43.0KHz to 46.2KHz in a period of 8ms.

Both of the two circuits are designed with sinoMOS 1μm 40V BiCMOS process and are simulated by the Hspice tool.

A PWM (Pulse Width Modulation) switching power supply IC is given with the two circuits above as the core. This chip is a 8-pin low power consumption current-mode PWM controller IC. And it is applied to off-line flyback topology AC/DC power supply module. It can be widely applied to various portable electronic devices.

Keywords: power management; precision; electromagnetic interference (EMI); bandgap reference; frequency jittering

大连理工大学学位论文独创性声明

作者郑重声明：所呈交的学位论文，是本人在导师的指导下进行研究工作所取得的成果。尽我所知，除文中已经注明引用内容和致谢的地方外，本论文不包含其他个人或集体已经发表的研究成果，也不包含其他已申请学位或其他用途使用过的成果。与我一同工作的同志对本研究所做的贡献均已在论文中做了明确的说明并表示了谢意。

若有不实之处，本人愿意承担相关法律责任。

学位论文题目： 电源管理集成电路高精度抗干扰设计研究

作者签名： 杜晓书 日期： 2009 年 6 月 10 日

大连理工大学学位论文版权使用授权书

本人完全了解学校有关学位论文知识产权的规定，在校攻读学位期间论文工作的知识产权属于大连理工大学，允许论文被查阅和借阅。学校有权保留论文并向国家有关部门或机构送交论文的复印件和电子版，可以将本学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印、或扫描等复制手段保存和汇编本学位论文。

学位论文题目： 电源管理集成电路高精度开关电源设计研究

作者签名： 杜成书

日期： 2009 年 6 月 10 日

导师签名： 杜月明

日期： 2009 年 6 月 11 日

引 言

电源管理技术是当今电力电子设备和系统领域中应用最为广泛的技术。电源管理可以将电源有效分配给系统的不同组件,能够最大限度降低系统的损耗,是一种按照时间顺序对电子系统电流和电压进行控制的技术^[1]。

随着电子产业的发展,电源管理技术有了很大的改进,从最初的只起整流作用,逐渐发展成具备多种功能的先进技术。电源管理集成电路问世后,就以其体积小、效率高等优点成为众多电力电子设备和系统中不可缺少的重要构成单元^[2]。发展至今,电子产品的性能提升在很大程度上依赖于其所包含的电源管理集成电路的性能。这使得电源管理集成电路研发成为当前众多公司和厂商的热点发展方向。

电子设备和系统的飞速发展给电源管理集成电路带来了新的机遇与挑战。从简单的线性电源到先进的开关电源和电源管理单元,随着IC技术的不断进步和半导体制造工艺水平的不断提高,电源管理集成电路的进步也是有目共睹^[3]。同时,由于复杂多变的应用条件、全球化可持续发展需要等等诸多因素,使得电子产品对电源管理集成电路的性能要求越来越高。是否能够提供精准、稳定、抗扰、节能、安全、高效的电源管理,不仅成为设计的重点和难点,同时也成电源管理集成电路的仿真、验证、生产加工和测试带来新挑战。

现有的电源管理集成电路由于成本问题,大多仅以稳定性为设计目标,产品所提供的电源电压电流精度和抗干扰能力都较低,严重影响电子设备的使用寿命和安全性。因此,研究设计高精度抗干扰性好的电源管理集成电路就更具理论意义和应用价值。

针对上述问题,本文在对传统的电源管理芯片电路认真分析总结的基础上,灵活地将电源管理前沿技术运用到电路设计中,选择了电源管理芯片中基准源和振荡器这两个关键模块,针对提高电源管理芯片的精度和抗电磁干扰性能,结合频率抖动,带隙基准电压源和间歇模式等技术,设计了两款电路,即高精度CMOS带隙基准电压源电路和采用频率抖动技术降低电磁干扰的RC振荡器电路。Hspice仿真结果表明这两款电路在提高精度、降低电磁干扰方面具备理想的性能。另外,通过对版图进行优化,可以在一定程度上避免工艺缺陷在电源管理集成电路中带入的干扰^[4]。

本文对模块进行了原理简述、电路设计分析以及仿真,最后给出了一个完整的芯片实例。除了采用了上述两款电路做为核心模块外,还匹配其他电路模块,在提高芯片精度和抗电磁干扰性能的同时,满足了芯片良好的稳定性和低功耗要求。对于许多便携式电子设备是很好的电源管理选择。

1 电源管理集成电路概述

1.1 当今电源管理集成电路技术发展趋势

当今电源管理技术的发展趋势有以下特征^[6]:

1.1.1 高品质需要高精度

若以输出电压为例来定义精度,精度也是输出实际值与输出期望值的相对误差^[5]。精度有正负之分,一般用百分数表示。

正的精度定义为:输出电压的最大值与期望值的相对误差,可表示为:

$$E_{cp} = \frac{V_{OMAX} - V_0}{V_0} \quad (1.1)$$

其中, E_{cp} 表示精度,是正数, V_{OMAX} 表示输出电压的最大值, V_0 表示输出电压的期望值。

负的精度定义为:输出电压的最小值与期望值的相对误差,可表示为:

$$E_{cn} = \frac{V_{OMIN} - V_0}{V_0} \quad (1.2)$$

其中, E_{cn} 表示精度,是负数, V_{OMIN} 表示输出电压最小值, V_0 表示输出电期望值。

式 1.1 和式 1.2 联立可得到精度为 $E_c = (E_{cn}, E_{cp})$, 精度的绝对值越小,输出值越稳定,说明系统的精度越高。



图 1.1 电磁干扰源类别

Fig.1.1 The category of the electronic and magnetic disturbing source

1.1.2 抗干扰性能卓越

随着通讯及控制技术的发展,各种高频数字电路对开关电源电磁兼容性(EMC)的要求更加严格,如何减小电磁干扰(EMI)成为开关电源设计中的一个难点。通过归纳干扰类型、检测干扰强度,采取针对性的抗干扰措施是提高电路抗干扰能力的有效方法^[7]。

(1) 电磁干扰的分类

具体到“电磁干扰”,可以按照下面所列六类进行划分:

按照发生源划分、按照传播路径划分、按照辐射干扰的产生原因划分、按照不同设备的工作原理划分、按照发生的频率划分、按照频率范围划分不同的交流电源。

而且可以在每一类中进一步分类,根据发生源可将干扰细分见图1.1~图1.3。

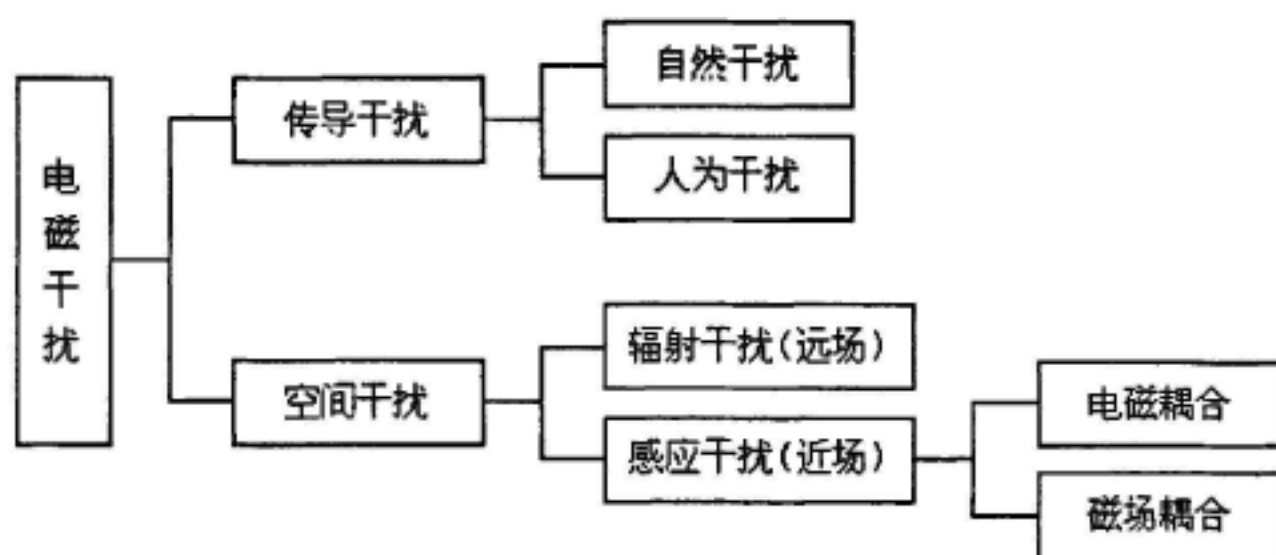


图 1.2 内部干扰源类别

Fig.1.2 Category of the sources of internal interference

其中,造成数字电路工作不正常的干扰可分为:电源干扰、反射、振铃(LC共振)、状态翻转干扰、串扰干扰(相互干扰、串音)、直流电压跌落。

造成开关电源质量下降的干扰分为:出现在输出端子上的干扰(电流交流声、尖峰脉冲噪声、回流噪声)、影响内部工作的干扰(开关干扰、振荡、再生噪声)。

按发生的频率分为:突发干扰、脉冲干扰、周期性干扰、瞬时干扰、随机干扰、跳动干扰。

造成交流电源质量下降的干扰分为:高次谐波干扰、保护继电器、开关的震颤干扰、雷电涌、尖峰脉冲干扰、喷射环电弧、瞬时浪涌。

将来可能会将下面这些项目归入到交流干扰内:瞬时停电、瞬时下降、频率变化、电压变化、高次谐波失真。

另外还干扰按频率分为:低频干扰、高频干扰。

如上所述,干扰可以分成很多类别,这些干扰既产生于电气电子设备,又干扰电气电子设备,造成设备的故障和停用,带来经济和人员伤害。为了使各种设备能够互不干扰,正常工作,应运而生了EMC技术^[8]。

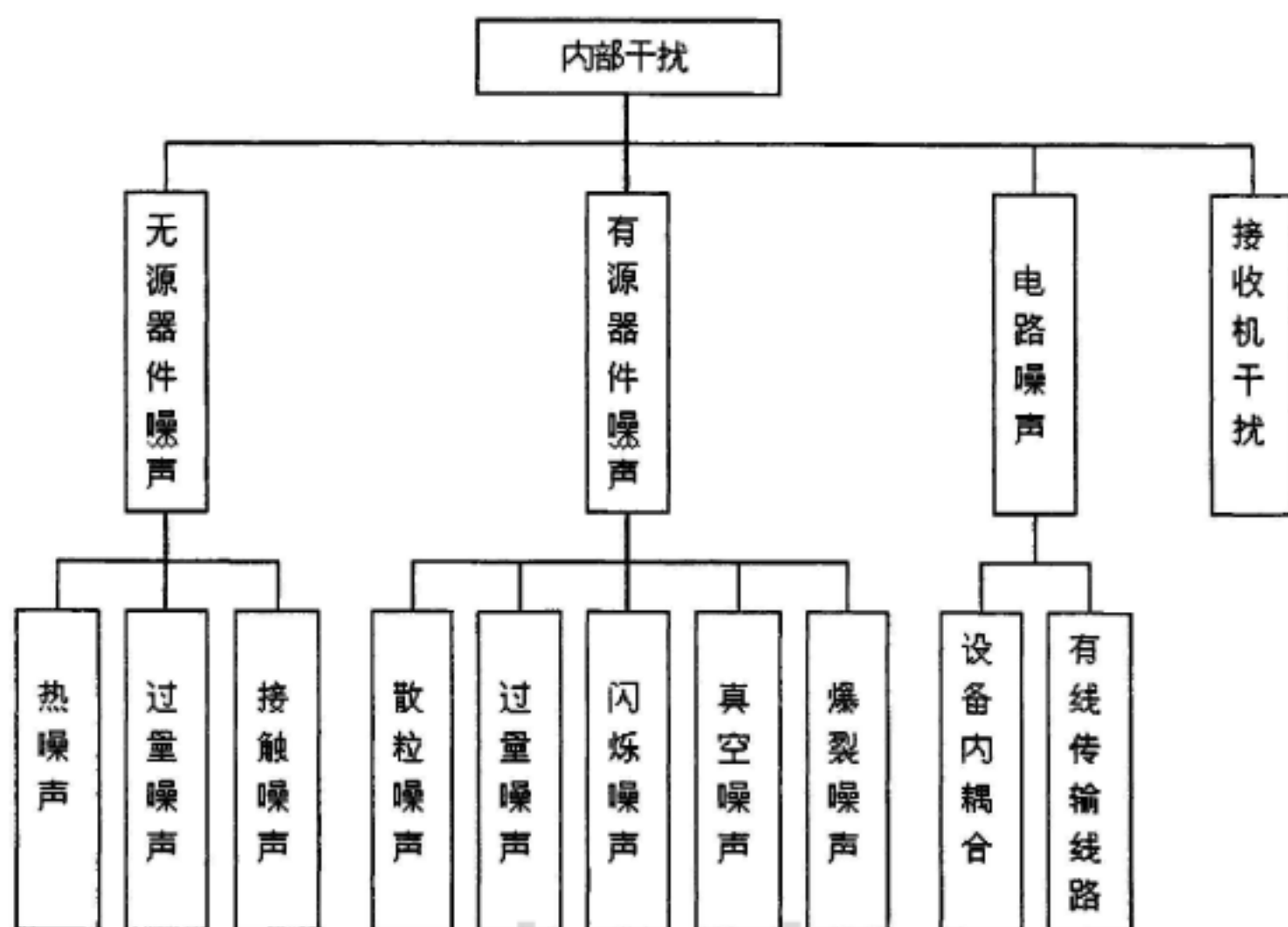


图 1.3 干扰传播路径

Fig.1.3 The path of the interfere spread

简而言之, EMC是“不发干扰, 不受干扰”。现在国内外都在研究开发EMC技术, 并应用于电气电子设备的制造中。

(2) 电磁干扰测试标准及原理

目前, 国际无线电干扰特别委员会(CISPR)为美国联邦通信委员会(FCC)分别制定的CISPR22和FCC标准已分别在欧洲和北美使用^[9]。欧洲的EN55022标准等同于CISPR22标准。A级为工业级, B级为民用级, B级标准比A级标准严格。其中150kHz~30MHz为传导测量范围, 30MHz~1GHz为辐射测量范围。

测量电磁干扰的原理是用干扰分析仪将噪声信号中的频率分量以一定的通频带选择出来, 并予以显示和记录, 当连续改变设定频率时就能得到噪声信号的频谱。干扰分析仪以 9kHz 频宽扫描整个频带, 测量出噪声信号的准峰值和平均值, 图 1.4 所示是 9kHz

扫描时的准峰值和平均值曲线。

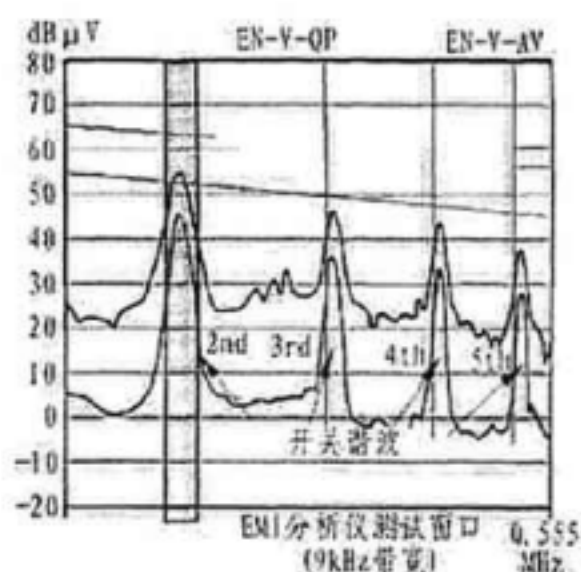


图 1.4 9KHz 宽频扫描时的准峰值和平均值曲线^[7]

Fig.1.4 The broadband scan of the quasi-peak and average curves in 9KHz

与常用的抗干扰技术相比, 频率抖动技术(Frequency Jitter)^[9]是一种从分散谐波干扰能量着手解决 EMI 问题的新方法。频率抖动技术是指开关电源的工作频率并非固定不变, 而是周期性地变化来减小电磁干扰的一种方法。

1.1.3 绿色环保

绿色环保有很多含义在里面, 因为国家在节能、环保各方面都倡导绿色。节能、能耗现在已经成为一个大问题, 从 2006 年到 2010 年, 整个国内的家电及消费类电子市场总的规模非常大, 2006 年总的规模是 1500 亿, 在 2007 年上半年的时候就差不多达到 3700 亿, 同比增长 12%。估计到 2010 年, 整个市场的容量将达到 11000 亿元, 而且每年保持着 15% 的增长速度。消费类电子市场发展, 特别是电视机是一个很大的发展方向, 很多 CRT (Cathode Ray Tube, 阴极射线管) 的电视机将逐渐被 LCD (Liquid Crystal Display, 液晶显示器) 机替换掉^[10]。

国务院发展研究中心作出的报告显示, 我国已经成为仅次于全球第二大的消费电子的市场, 而且到了 2010 年的时候, 中国甚至废旧电视达到 7000 多万台, 每年负荷率是 50% 以上, 因此带动了电源及整个消费电子类的发展。作为 LCD 这个产业来说, 它的发展更为迅猛, 从 2006~2011 年销售额预算可以看到非常之大, 但是随着整个发展带来的问题就是能源的危机, 针对能源危机世界各国都提出非常严格的电源能耗标准, 比如有美国有能源之星, 德国有蓝天标准, 中国也有中标认证等等, IC 的需求量非常大。所有这些成为绿色电源的必然趋势。

近年来, 随着电池供电的便携式设备^[7], 如手机、MP3 播放器、PDA(个人数码助

理)等性能的提高和功能的日趋丰富,对于开关电源的效率提出了越来越高的要求。为提高效率和减少片外元器件,目前应用的 Buck(降压)变换器通常集成了功率开关和同步整流开关。同时,为减小片外电感元件的尺寸以适应便携式设备的应用,开关频率往往设置为几兆甚至更高的数量级。由此带来的问题是,当变换器工作在轻载条件下,开关损耗就变成了主要的功率损耗。而便携式设备恰恰常工作于待机状态即轻载工作状态下,轻载效率对于延长电池的使用寿命至关重要。因此,提高轻载效率的问题受到了高度关注。

绿色模式降压型功率集成开关电源控制器芯片采用了 Burst (突变模式)/PWM 多模式调制技术,控制变换器在重载下以恒定频率工作在 PWM 模式,而当负载降低到一定程度时,自动切换到 Burst 模式并以降低的恒定频率工作。其主要优点是减少了开关损耗,又不增加片外滤波器的设计复杂度。此外, Burst 模式还可以根据应用的需要,由用户控制使能或禁止。并且在模式转换过程中,采用双基准法实现模式转换的平滑过渡和负载迟滞。同时,芯片引入片上电流检测技术以取代传统的电阻电流检测,在一定程度上减少了功耗。功率开关和同步整流开关的集成也简化了片外应用电路的设计。本文提出的 Burst 工作模式,不仅具有较高的轻载效率,还体现了与其他方法相比更优的负载调整率,且简化了外围应用电路设计的复杂性。

1.2 电源管理集成电路技术应用现状和发展趋势

1.2.1 电源管理集成电路技术应用现状分析

根据赛迪顾问的数据显示,近5年来,中国电源管理芯片市场保持了快速的增长,从2003到2007年,市场复合增长率达到25%,然而2007年市场增长率仅为15%,5年来首次跌至20%之下,在经历了多年的高速发展之后,其市场增长开始明显放缓,赛迪顾问认为,直接的原因就是下游整机产量的增长率相对前几年有所减缓,在中国市场上,随着国际电子产品制造业向中国转移趋势的减缓,多种电子产品的产量增长率都不同程度的出现下降,甚至部分产品产量有所下滑。产量的降低直接造成了对上游芯片需求量的下降。此外,库存因素和电源管理芯片价格下降因素也是影响中国电源管理芯片市场的主要因素^[10]。

针对不同的需求,电源管理芯片产品种类繁多,而且从市场份额来看,市场结构显得比较分散,份额最大的LDO (Low Drop-out 低降压稳压器)也只占据了20%的市场份额。其次是DC-DC、Driver和PMU (Power Management Unit, 电源管理单元),市场份额均不到15%,其它产品的份额都在10%以下。从市场发展来看, LDO虽然是中国电源管理芯片市场上份额最大的产品,但由于参与竞争厂商较多,价格持续下降,因此发展速

度明显放缓,而由于手机等便携产品的大量需求,PMU和电池管理芯片成为2007年中国电源管理芯片市场上增长最快的两个产品^[11]。

随着电源管理芯片技术门槛的降低,越来越多的Fabless(芯片设计公司)开始涉及该领域,尤其是台湾和中国内地厂商,近年来发展快速,已经在中低端电源管理芯片领域取得较大成功,然而这也造成中低端电源管理芯片市场产品结构性能相似,市场竞争激烈,产品价格持续下降。虽然在中高端产品方面国际领先厂商仍然有明显的优势,但是中低端领域的产品,新厂商已经开始影响到这些国际大厂,在很多中低端产品市场中,往往只能通过价格优势来争取客户。目前,由于价格的影响以及上游芯片生产材料价格的上涨,电源管理芯片产品的利润空间受到持续压缩。

(1) 主要应用领域

如图1.5消费、网络通信和计算机三大领域依然占据了中国电源管理芯片市场近80%的市场份额^[12]。从发展速度来看,计算机领域是2007年增长速度最慢的领域,整机产量的下降是直接原因,虽然笔记本电脑依然保持了高增长率,但是,其它产品增长率都有较大程度的放缓,有的产品产量甚至出现下滑。2007年市场最大的亮点在于汽车电子类电源管理芯片市场取得了超过40%的高增长率,虽然电源管理芯片市场2007年的发展有所减缓,但是在各种汽车电子整机产量快速增长的带动下,该领域的电源管理芯片市场持续了近年来的高增长率,但是用于汽车电子领域的电源管理芯片所占的份额较小,其高速增长所起到的作用很有限。

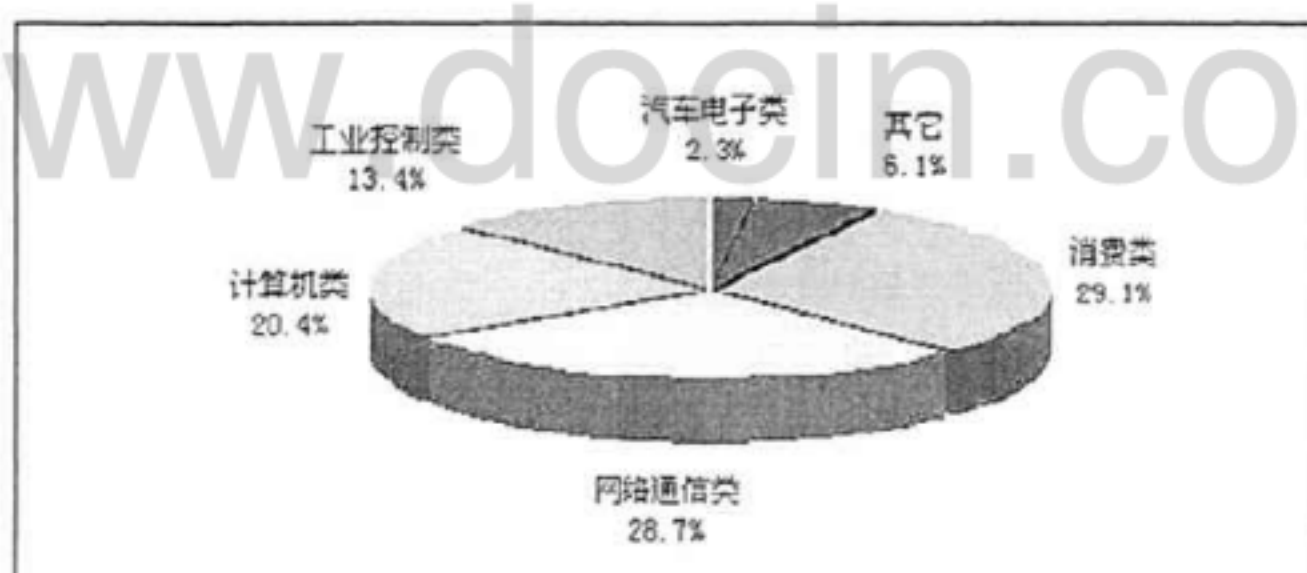


图 1.5 2007 年中国电源管理芯片市场应用结构

Fig.1.5 The application of power management chip market structure in China ,2007

(2) 当前技术竞争格局

目前中国市场排名前十的企业无一例外全部为外资企业,其中美国厂商优势明显。

可见电源管理芯片市场的品牌构成仍是国外厂商处于领先地位。然而，电源管理芯片市场的品牌集中度在缓慢下降，2007 年市场上排名前十位厂商所占的份额在 2006 年的基础上进一步下降，前十名所占的市场份额已经不足 50%，说明市场竞争进一步加剧。而且，随着中国台湾和中国大陆厂商在电源管理领域的进一步开拓，这种趋势未来还将继续，而且随着中低端电源管理产品竞争厂商的增加以及产品材料成本的不断增加，产品利润空间被不断压缩，这些国际领先厂商未来有可能会放弃部分低端的微利产品业务，电源管理芯片市场品牌集中度下降的趋势未来几年还将延续^[12]。

1.2.2 电源管理集成电路技术发展趋势

从产品的发展来看，电源管理芯片产品的发展趋势表现为多样化，包括同时提供多个不同的供电电压趋势、数字电源管理趋势、产品设计周期缩短趋势、产品面积缩小趋势以及低成本趋势等等，然而最值得一提的仍然是集成化趋势^[11]。众所周之，集成化是半导体产品发展的一大趋势，电源管理芯片也不例外，其中，最为明显的例子就是 PMU 产品，已经在手机等多种产品中广泛应用，一个 PMU 可能集成了多个 LDO 和 DC-DC 等产品，能够实现多种电源管理，是集成化趋势最明显的例子^[13]。此外，随着各种芯片产品功能的集成度不断提高，很多芯片产品内部也开始集成了电源管理功能，这样系统厂商就可以不必在外围搭配相应的电源管理芯片。然而，集成化并不能解决全部问题，一个 PMU 往往只能针对某类应用，甚至某个产品，从某个角度来说有些类似 ASSP(专用标准产品)，其扩展应用性不如分离解决方案，而且分离解决方案可以根据需求选择最适合的电源管理芯片，可以达到最高的能效，由于分离和集成各有优势，因此，集成化和分离的解决方案将会一直长期共存^[11]。

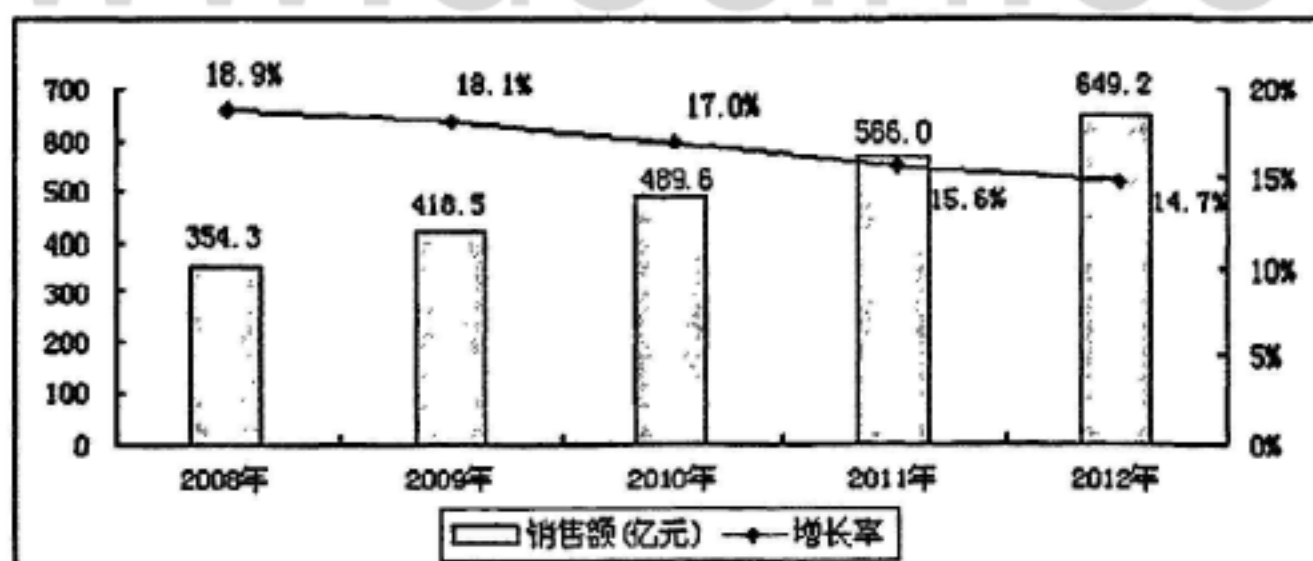


图 1.6 2008-2012 年中国电源管理芯片市场规模预测

Fig.1.6 China's power management chip market forecast, 2008-2012

从未来的应用趋势看,汽车电子领域将是未来发展最快的领域,但增长速度将会逐渐减缓,其它领域则会保持相对平稳的发展速度,而三大领域中网络通信领域将会随着各种网络应用的不断升级而保持较快的发展速度。

但是,中国电源管理芯片的市场基数已经越来越大,而且随着整机制造也向中国转移趋势的减缓,中国电源管理芯片市场很难出现前几年的高速增长态势,如图 1.6 所示。因此,2008 年后中国电源管理芯片市场的发展速度将会逐渐减缓,而且随着中国市场占全球市场比重的增长,二者的变化趋势将基本保持一致。赛迪顾问预计中国市场的增长率在未来几年仍然将会高于全球市场的增长率,但二者增长率差距将逐渐缩小。到 2012 年,中国电源管理芯片市场将达到 649.2 亿元,未来 5 年,中国电源管理芯片市场复合增长率为 16.3%,中国电源管理芯片市场发展将逐渐趋缓^[14]。

1.3 小结

1.3.1 论文研究的主要内容

本文在分析当前技术发展状况和市场对技术需求的基础上,研究了高精度、抗干扰电源管理集成电路的设计技术,并有针对性地探讨了其中的关键模块:带隙基准电压源和频率抖动模式的电路研究。继而提出了两种电源管理关键模块的电路设计。并结合其他功能模块,对搭建起来的芯片性能进行了仿真测试。

1.3.2 结构安排

本文的结构安排如下:

第一章,绪论。主要介绍了电源管理集成电路的现状和发展趋势,高精度、抗干扰性能卓越的电源管理集成电路的特点,最后介绍了论文的研究内容和结构安排。

第二章,提高电源管理集成电路精度和抗电磁干扰性能的研究。针对电源管理集成电路的精度问题,研究了基准源电路。对基准源的性能参数及分类和应用进行了说明,并介绍了基准源的研究现状。同时分析了影响电源管理集成电路的干扰类别,成因,探讨了抗干扰对策。

第三章,分别以带隙电压基准源和频率抖动模块为核心设计了两款电路。并且进行了仿真测试,达到了高精度,抗电磁干扰能力强的设计目标。

第四章,给出了以上两款电路为核心模块的 PWM 开关电源芯片的完整结构。并进行了整体性能的仿真测试。

第五章,总结和展望。总结了论文研究的内容,并对后续的发展做了展望。

2 电源管理芯片的高精度、抗干扰研究

2.1 基准源简述

2.1.1 基准源简述

基准源就是能提供高精度和高稳定度基准量的电源^[15]。基准源的主要性能参数为：精度，温度系数(温度范围)，电源电压抑制比，电源电压幅度变化系数，稳定性，输出驱动能力，功耗，成本^[16]。

由于 IC 生产本身的局限，很多工艺参数与温度相关。集成电路要求能在很大的温度范围内工作，比如说，民用产品要求能在 0°C~75°C 范围内工作，军用产品要求能在 -55°C~125°C 范围内工作。基准源要求在一定的温度范围内的温度系数足够小。零温度系数的基准电压源，是人们在电子仪器和精密测量系统中长期追求的种基本部件。传统的基准电压源是基于晶体管或稳压管的原理制成的，其电压温漂在 mV/°C 级，电压温度系数高达 $10^{-3}/^{\circ}\text{C}$ ~ $10^{-4}/^{\circ}\text{C}$ ，根本无法满足现代电子测量的需要，因而需要找到更高精度的电压基准源。继而，带隙电压基准源问世，输出高精度、低温漂的电压成为可能^[17]。

2.1.2 电压基准源的性能参数

(1) 精度

电压基准源的输出电压与标称值的误差，包含绝对误差和相对误差，称为该电路的精度，一般在空载的条件下测量。在很多应用中，比如在高精度 DAC/ADC 这样需要绝对测量的系统，精度是最重要的指标^[18]。

(2) 温度系数 TC(Temperature Coefficient)

温度系数反映因环境温度变化引起的输出电压的变化，一般用 ppm/°C 来表征。温度系数定义为基准源在整个工作温度范围内输出电压最大变化(最大值与最小值的差值)相对标称输出时的变化率，如式 2.1 所示^[18]。

$$TC = \left[\frac{V_{MAX} - V_{MIN}}{V_{nominal} \times (T_{MAX} - T_{MIN})} \right] \times 10^6 \quad (2.1)$$

(3) 电源抑制比(PSRR)

电源抑制比一般定义为：从输入到输出的增益除以从电源到输出的增益。即是：输入电源变化量(以伏为单位)与转换器输出变化量(以伏为单位)的比值，常用分贝表示。对于高质量的开关电源，要求开关电路及运算放大器所用的电源电压发生变化时，对输出的电压影响极小^[19]。电源抑制比反映了电源电压出现一定变化量时输入失衡电压相应

产生多大的变化量，可分为交流电源抑制比和直流电源抑制比，其具体意思如下：

① 交流电源抑制比(ACPSR)

先在标称电源电压(5V)的情况下，读取一个测量值，然后在电源电压上叠加一个频率为 100HZ，有效值为 200mV 的信号，在相同的输入信号电平下，读取第二个测量值，按测量误差公式，“百分误差=(第二测量值-第一测量值)/第一测量值”，计算得到的百分比误差即为交流电源抑制比^[20]。

② 直流电源抑制比(DCPSR)

先在标称电源电压(5V)的情况下，读一个测量值，然后使电源电压变化 5%，在相同的输入信号电平下读取第二个测量值，按测量误差公式(同上题公式)计算得到的百分误差即为直流电源抑制比。

与其它的失衡量一样，参数规范中的电源抑制比也是针对运算放大器的输入而言的。运算放大器的电源线上的噪声也会对输出信号造成影响，因此必须适当地“抑制”噪声。而电源抑制比就是测量运算放大器抑制这种偏差的程度的量。

2.1.3 基准电压源的分类与应用

基准电压源主要有齐纳二极管、隐埋齐纳二极管和带隙基准电压源三种，它们都可以设计成两端并联式电路或者三端串联式电路^[21]。三种基准电压源的特性比较见表 2.1。

表 2.1 基准电压源的分类和特点比较

Tab. 2.1 The category and comparition of the voltage reference

分类	优点	缺点
常规齐纳二极管	工作在反偏击穿区，击穿电压稳定；输入范围较宽(2V~200V)；功率范围宽(几 mW~几 W)	精度不高；静态电流较大；需最小化输入阻抗；长期稳定性不高
埋入式齐纳二极管	工作状态比常规齐纳二极管稳定；输入电压范围更宽；精度比常规齐纳二极管高出很多	部分器件不能吸入电流
带隙基准电压源	温度系数很小；比齐纳二极管更稳定；输出阻抗很低；长期稳定性好；电源抑制比较大；功耗和静态电流都很小；受工艺限制较小	输出电压范围较小，大约在(1.2V~10V)，受设计水平限制较大

在带隙基准电压源电路的发展过程中，双极型电路最为成熟，由于采用了带隙基准或齐纳击穿电压作为稳定的电压单元，使其在精度和稳定性方面都达到了相当高的水平。而在 MOS 电路中，由于器件的选择有限，而且器件的基本参数与工艺参数都对温度有着强烈的依赖关系，给电路设计带来了一定的困难。但是，由于 MOS 电路，特别

是 CMOS 电路的低功耗、高噪声容限、高集成度和高抗干扰等独特优点，以及其高速问题的逐步解决，使得 CMOS 技术得到了迅猛发展。

本章主要从三个方面进行阐述：电压基准源的性能指标^[18, 20]、电压基准源的分类及性能讨论^[21-23]和带隙电压基准源的原理。

各种基准源由于特点不同而应用在不同的场合。齐纳二极管、隐埋齐纳二极管的基准电压较高，适用在电源电压较高且对功耗要求不高的系统中，比如稳压器。而带隙基准由于它的优越性能获得广泛的使用。模拟数据转换器(ADC)，数模转换器(DAC)，温度传感器，通信电路都会用到它。对高分辨率系统基准源是非常有用的，例如对一个 16 位系统，如果要在整个商用温度范围(0°C~70°C，以 25°C 为基准点)保持精度在±1LSB 以内，该基准源的温漂必须小于 1ppm/°C， $\Delta V = 1\text{ppm}/^\circ\text{C} \times 5\text{V} \times 45^\circ\text{C} = 255\mu\text{V}$ 。相同的温度漂移扩展到工业温度范围下只能适用于 14 位系统。

2.1.4 基准源的研究现状

(1) 理论研究线索

首先是正温度系数的电压于 1965 年由 R.J.WIDLAR 提出，即式 2.2^[24]，随后，结合 pn 结的负温度系数特征以及线性补偿方法获取电压基准的方法于 1970 年，由 R.J.WIDLAR 明确提出^[25]，即式 2.3、式 2.4 (这里的电压基准刚好是硅的带隙电压 V_{GO})，因此此类的基准源被称为带隙基准源。

$$\Delta V_{be} = \frac{KT}{q} \log_e \frac{I_{c1}}{I_{c2}} \quad (2.2)$$

$$V_{REF} = V_{BE} + \frac{R_2}{R_3} \Delta V_{BE} \quad (2.3)$$

$$\left. \frac{\partial V_{REF}}{\partial T} \right|_{T_0} = \frac{V_{BE0}}{T_0} - \frac{V_{GO}}{T_0} + \frac{KR_2}{qR_3} \ln \frac{J_1}{J_2} \rightarrow 0 \quad (2.4)$$

由于 pn 结电压与温度并不是线性的关系，所以用线性补偿必然不可能在大的温度范围内得到零温度系数的基准电压。人们为此又提出了很多补偿 pn 结电压负温度系数的方法如：squared PTAT Correction，VBE loop^[21]， β compensation^[27]，nonlinear cancellation^[28]。

(2) 工艺发展线索

1970 年的主流技术工艺是双极型工艺，所以首先发展起来的是双极带隙基准电压源。随着 CMOS 工艺成为主流技术，对 CMOS 带隙基准电压源的研究渐渐成为热点。

Kujik, Ahuja 以及 Song 等人分别提出了三种基于标准 CMOS 工艺的不同结构的基准电压源^[29]。

K.lasanen 等人基于 Ahuja 的电路提出了工作在亚阈值状态下的低功耗基准电压发生器电路^[31]。由于 MOS 管的亚阈值理论目前并不完善,对工艺的要求非常苛刻,因此电路的工作存在很大的不稳定因素,所以 CMOS 带隙基准源一般还是采用 Bipolar 核心的电路:一般采用运放来实现 PTAT,进而对 pn 结电压进行线性补偿。此种结构会因为运放的非理想性而带来很多的问题。为消除运放带来的输入失调电压对基准的影响,T.Books 等人提出采用 pn 结叠加的结构,但这样的电路不适合在低压下工作;Germano Nicollini 等人提出使用开关电容来减小输入失调电压;A.L.Westwisk 等提出用共源共栅结构来提高电源电压抑制比(PSRR)。

(3) 理论和工艺的互进

由于 CMOS 工艺存在大的失调电压和工艺偏差,在双极型带隙基准源中可以使用的一些曲率校正技术在 CMOS 电路中就很少能用到^[30]。Bang-sup Song 在一篇论文中提出了二阶补偿方法^[31],温度系数达到 10ppm/°C。Ka Nang Leung 等提出四阶补偿技术方法,温度系数达到 5.3ppm/°C^[32]。与此同时,BiCMOS 工艺也得到了很大的发展,它解决了在 CMOS 电路中由于 PNP 管有着很多缺陷带来的问题,使基准源的性能得到提升^[33]。

随着集成电路工艺技术的不断发展,器件的特征尺寸越来越小,电源电压也越来越低,现在,0.18μm CMOS 工艺技术已成为微电子产业的主流技术^[34]。未来的器件的电源电压必然低于硅的带隙电压(1.205V),这为设计制作高精度高性能的基准源带来了困难。H.Banba 等提出了在电源电压低于 1.205V 时如何设计基准源^[34]。即先产生正温度系数的电流和负温度系数的电流,然后令两者同时流入一个电阻来产生基准电压。这种设计的缺陷就是基准的温度系数受到电阻温度系数的直接影响。

2.2 开关电源中 EMI 问题与频率抖动

2.2.1 开关电源中电磁干扰的产生

功率器件高频开通关断操作导致电流和电压的快速变化是产生 EMI 的主要原因^[35]。在电路中的电感及寄生电感中快速的电流变化产生磁场从而产生较高的电压尖峰:

$$u_L = L \frac{di_L}{dt} \quad (2.5)$$

在电路中的电容及寄生电容中快速的电压变化产生电场从而产生较高的电流尖峰:

$$i_c = C \frac{du_c}{dt} \quad (2.6)$$

图 2.1 就是讲述电流和电压的急速变化是主要引起 EMI 的起因。 V_{ds} 的尖峰出现在电感导通突然关断时，电感产生反冲电压，峰值较高。而 I_d 尖峰是出现在瞬时导通时一个电流尖毛^[37]。

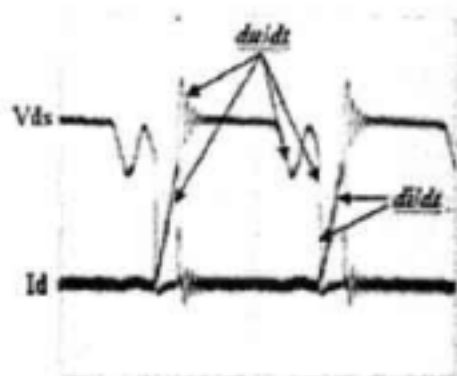


图 2.1 电流电压急速变化引起 EMI

Fig.2.1 Current and voltage caused by rapid changes in EMI

2.2.2 减小电磁干扰的方法

磁场和电场的噪声与变化的电压和电流及耦合通道如寄生的电感和电容直接相关。直观的理解，减小电压率 du/dt 和电流变化率 di/dt 及减小相应的杂散电感和电容值可以减小由于上述磁场和电场产生的噪声，从而减小 EMI 干扰。

一般常用的方法有滤波、接地、屏蔽、PCB 布线、和频率抖动等^[39]。

(1) 加滤波器是抑制传导敏感度的有效措施。

线上的干扰电流按照其流动路径可以分为两类：一类是差模干扰电流，另一类是共模干扰电流。

共模干扰一般是由来自外界或电路其它部分的干扰电磁波在电缆与“地”的回路中感应产生的，有时由于电缆两端的接“地”电位不同，也会产生共模干扰。它对电磁兼容的危害很大，一方面，共模干扰会使电缆线向外发射出强烈的电磁辐射，干扰电路的其它部分或周边电子设备；另一方面，如果电路不平衡，在电缆中不同导线上的共模干扰电流的幅度、相位发生差异时，共模干扰则会转变成差模干扰，将严重影响正常信号的质量^[38]。

差模干扰主要是电路中其它部分产生的电磁干扰经过传导或耦合的途径进入信号线回路，如高次谐波、自激振荡、电网干扰等。由于差模干扰电流与正常的信号电流同时、同方向在回路中流动，所以它对信号的干扰是严重的，必须设法抑制。

滤波器是由电感和电容组成的低通滤波电路所构成，它允许有用信号的电流通过，

对频率较高的干扰信号则有较大的衰减。由于干扰信号有差模和共模两种,因此滤波器要对这两种干扰都具有衰减作用^[36]。

一般的开关电源中的电源滤波器都会加低通滤波器。低通滤波器主要用在干扰信号频率比工作信号频率高的场合,比如脉冲信号丰富的高次谐波。因此常用低通滤波器将脉冲信号中不必要的高次谐波滤除掉。一般以 PI 型的低通滤波为多^[40]。

除了加滤波器,加一些滤波元件有时也能达到减小 EMI 的效果,如共模电感。

(2) 通过选择合适的电路也可以降低电磁干扰水平。

① 使用零电压开关、零电流开关谐振技术或其他软开关技术就是一条路径。但是由于其控制方式的问题(谐波频率固定),再减小变换电路中元器件尺寸方面受到限制,双零开关在减小可变电电压电源体积时遇到困难。

② 在高频开关(MOSFET 和次级整流二极管)上加 RCDSnubber 电路,减小 d_v/d_t 和 d_i/d_t 。其目的是限制开关管关断瞬间其两端的最大尖峰电压,而开关管本身的损耗基本不变。

通过适当选取 RCDSnubber 的电路参数,可有效地改善开关管的开关轨迹,降低其关断电压的上升速率,可以转移开关管的损耗至 Snubber 电路的电阻上,提高开关管的工作可靠性,同时改善电路的高频电磁干扰,但 Snubber 电路基本上不会提高整机的工作效率。

反激式变换器在开关管关断时,存在很高的电压尖峰,通过适当选取 RCDSnubber 的电路参数,可以对开关管实现电压钳位,避免因过高的电压尖峰使开关管受损。但是,因 Snubber 电路消耗了变压器漏感上的能量,从而在一定程度上影响了整机的工作效率。

③ 屏蔽是减小电磁负责集感应的有效措施,辐射干扰的抑制主要靠屏蔽,特别在低频段。屏蔽分电屏蔽和磁屏蔽和电磁屏蔽。电场屏蔽要此案用导电良好的材料,磁场屏蔽要采用导磁率高的材料。但泄露和散热都会影响屏蔽效能,这是屏蔽技术存在的问题;也可以采用变压器内部加屏蔽绕组,外包屏蔽铜带,并将磁芯接地等方法。

④ 通过完善 PCB 设计,减小有高频电流回路的面积,高频元件采用 Kelvin 接法等。

⑤ 采用频抖和频率调制技术减小 EMI。

2.2.3 小结

总的来说,从上面的减小 EMI 的几种方法看来,①②③④四点的这些方法可以有效地抑制电磁干扰,但每种方法都有其局限性。比如说采用共模电感、 X_L 和 Y_L 电容受到体积、成本的制约, Y 电容的存在使输入和输出线间产生漏电流。具有 Y 电容的金属壳手机充电器会让使用者有触电的危险;变压器抗干扰技术增加了变压器的绕制难度,

绝缘也要十分小心，高频开关上加 Snubber 电路会降低电源的效率，增加高频开关的损耗，而 PCB 设计需要的是更多的经验和现场的调试，非常不利于大规模的生产等。相比之下，本论文研究的第五点即频率抖动技术采用功率半导体集成芯片内部电路来改善 EMI，高效而且可靠。

2.3 功耗问题与 burst 模式

可持续发展是当今全球发展的主流方向。从蓝色天使，能源之星，能源 2000 等诸多绿色能源标准的启用，不难发现，节能高效将成为电子产品，特别是电源管理集成电路发展的重要方向。欧洲经济协会(EEC)专门针对空载时的电源损耗提出明确限制指标。如输入功率低于 50W 的电源系统，待机功率不得高于 0.5W；美国从 2001 年 7 月起规定政府机构不得购买待机功率超过 1W 的电器产品^[41]，这无疑给电源管理芯片的低功耗设计以强有力的促进。

2.3.1 降低待机损耗的方法

首先以电源管理集成电路中的反激式开关电源为例，经过分析可知电源待机损耗主要由一下几种损耗构成：寄生电容损耗、开关交叠损耗和启动电阻损耗。那么，若想降低待机损耗则可以通过切断启动电阻，降低开关频率，减小开关次数手段来可减小待机损耗，提高待机效率。具体的方法有：降低时钟频率；由高频工作模式切换至低频工作模式，如准谐振模式(Quasi Resonant, QR)切换至脉宽调制(Pulse Width Modulation, PWM)，脉宽调制切换至脉冲频率调制(Pulse Frequency Modulation, PFM)，可控脉冲模式(Burst Mode)^[42]。

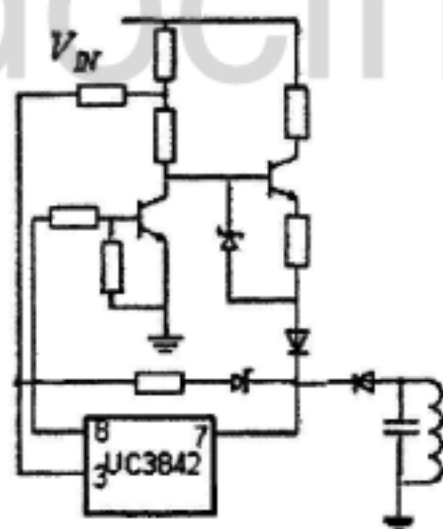


图 2.2 UC3842 反激式电源启动电路
Fig.2.2 Flyback power supply start circuit

(1) 切断启动电阻

对于反激式电源,启动电阻上压降为 300V 左右,若设置启动电阻值为 50k Ω ,则其消耗功率将近 2W。要改善待机效率,必须在启动后将该电阻通道切断。内部专门的启动电路,可在启动后关闭该电阻。若控制器没有专门启动电路,也可在启动电阻串接电容,其启动后的损耗可逐渐下降至零。缺点是电源不能自重启,只有断开输入电压,使电容放电后才能再次启动电路。而图 2.2 所示的启动电路,可避免上述问题,而该电路功耗仅为 0.03W。电路成本增加了。

(2) 降低时钟频率

根据负载大小调节时钟频率,可使时钟频率平滑下降或突降,以此降低轻负载时的功耗。POWER 公司的 TOPSwitch-GX 和 SG 公司的 SG6848 芯片内置了这样的模块。如图 2.3 所示。

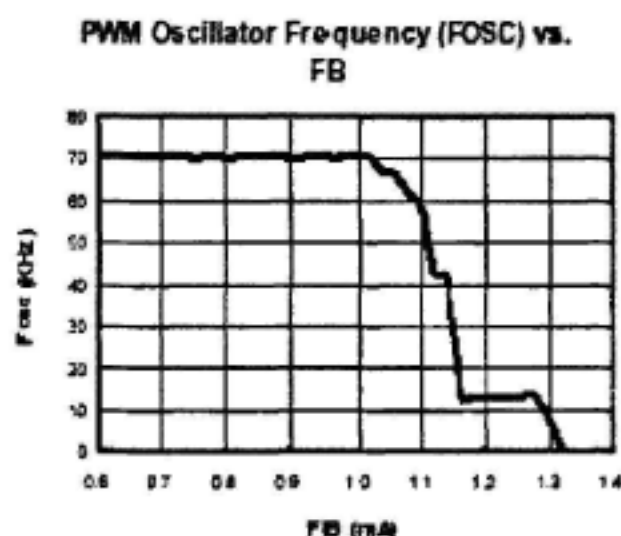


图 2.3 SG 反馈电流与时钟频率的关系

Fig.2.3 Feedback current and the relationship between clock frequency

突降实现方法如图 3 所示。以 UCC3895 为例,当电源处于正常负载状态时, Q_1 导通,其时钟周期为:

$$t_{OSC1} = 0.10416 \times C_T \times R_{T1} // R_{T2} + 120_{ns} \quad (2.7)$$

当电源进入待机状态时, Q_1 关闭,时钟周期增大为:

$$t_{OSC2} = 0.10416 \times C_T \times R_{T1} + 120_{ns} \quad (2.8)$$

即开关频率减小。开关损耗降为降频前的 t_{OSC1}/t_{OSC2} (小于 1) 倍。L5991 和 Infineon 公司的 CoolSet F2 系列已经集成该功能。

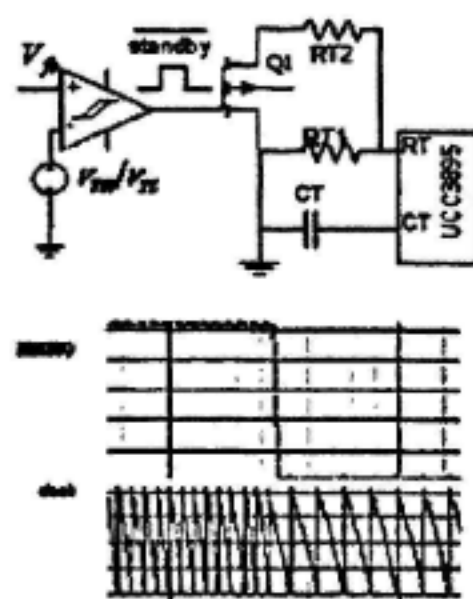


图 2.4 始终频率突降实现电路和时钟波形

Fig.2.4 Always dump the realization of the frequency of the clock circuit and waveform

(3) 切换工作模式

① QR→PWM

对于工作在高频工作模式的开关电源，在待机时切换至低频工作模式可减小待机损耗。例如，对于准谐振式开关电源(工作频率为几百千 Hz 到几兆 Hz)，可在待机时切换至低频脉宽调制控制模式 PWM(几十千 Hz)。

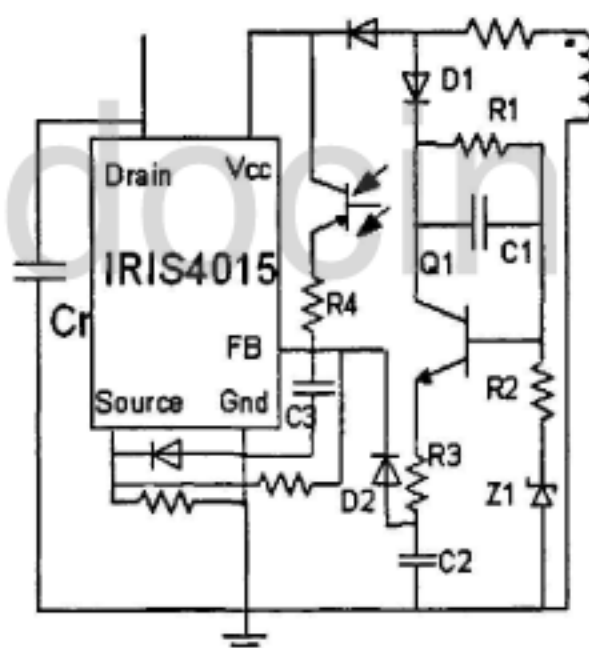


图 2.5 由 IRIS4015 构成的 QR/PWM 反激式电源电路

Fig.2.5 QR/PWM flyback power supply circuit consist of IRIS4015

IRIS40xx 芯片就是通过 QR 与 PWM 切换来提高待机效率的。图 2.5 是 IRIS4015 构成的反激式开关电源，重载时，辅助绕组电压大， R_1 分压大于 0.6V， Q_1 导通，辅助准

谐振信号经过 D_1 , D_2 , R_3 , C_2 构成的延时电路到达 IRIS4015 的 FB 脚, 内部比较器对该信号进行比较, 电路工作在准谐振模式。当电源处于轻载和待机时候, 辅助绕组电压较小, Q_1 关断, 谐振信号不能传输至 FB 端, FB 电压小于芯片内部的一个门限电压, 不能触发准谐振模式, 电路则工作在更低频的脉宽调制控制模式。

② PWM→PFM

对于额定功率时工作在 PWM 模式的开关电源, 也可以通过切换至 PFM 模式提高待机效率, 即固定开通时间, 调节关断时间, 负载越低, 关断时间越长, 工作频率也越低。图 2.6 是采用 NS 公司的 LM2618 控制的 Buck 转换器电路和分别采用 PWM 和 PFM 控制方法的效率比较曲线。由图可见, 在轻载时采用 PFM 模式的电源效率明显大于采用 PWM 模式时的效率, 且负载越低, PFM 效率优势越明显。将待机信号加在其 PWM/PFM 反引脚上, 在额定负载条件下, 该引脚为高电平, 电路工作在 PWM 模式, 当负载低于某个阈值时, 该引脚被拉为低电平, 电路工作在 PFM 模式。实现 PWM 和 PFM 的切换, 也就提高了轻载和待机状态时的电源效率。

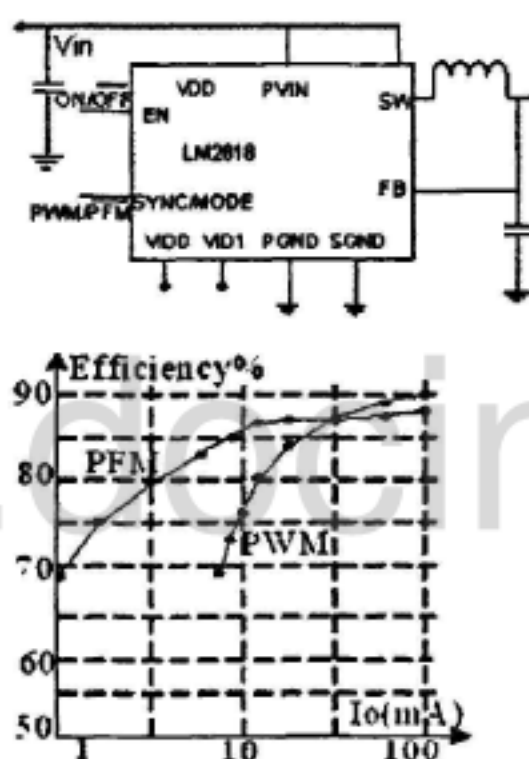


图 2.6 PWM 和 PFM 控制方法的效率比较

Fig.2.6 The efficiency comparison between PWM and PFM control methods

通过降低时钟频率和切换工作模式实现降低待机工作频率, 提高待机效率, 可保持控制器一直在运作, 在整个负载范围中, 输出都能被妥善的调节。即使负载从零激增至满负载的情况下, 能够快速反应, 反之亦然。输出电压降和过冲值都保持在允许范围内。

③ 可控脉冲模式(Burst Mode)

可控脉冲模式，也可称为跳周期控制模式(Skip Cycle Mode)是指当处于轻载或待机条件时，由周期比 PWM 控制器时钟周期大的信号控制电路某一环节，使得 PWM 的输出脉冲周期性的有效或失效^[43]，如图 2.7 所示。这样即可实现恒定频率下通过减小开关次数，增大占空比来提高轻载和待机的效率。该信号可以加在反馈通道，PWM 信号输出通道，PWM 芯片的使能引脚(如 LM2618, L6565)或者是芯片内部模块(如 NCP1200, FSD200, L6565 和 TinySwitch 系列芯片)。

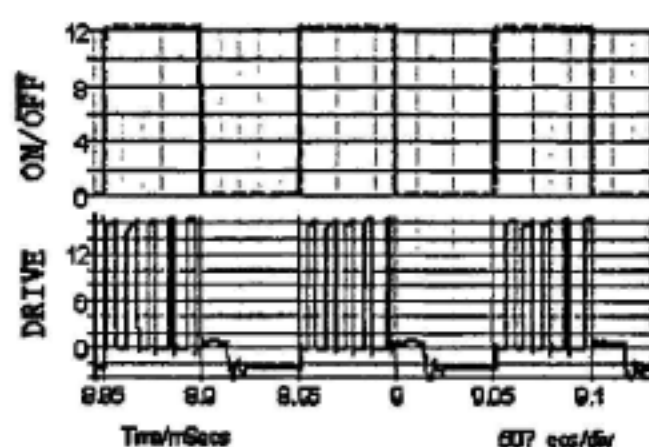


图 2.7 Burst Mode 控制信号与驱动信号图

Fig.2.7 The control signals and drive signals map of burst mode

NCP1200 的内部跳周期模块结构见图 2.8，当反馈检测脚 FB 的电压低于 1.2V(该值可编程)时，跳周期比较器控制 Q 触发器，使输出关闭若干时钟周期，也即跳过若干个周期，负载越轻，跳过的周期也越多。为免音频噪音，只有在峰值电流降至某个设定值时，跳周期模式才有效。

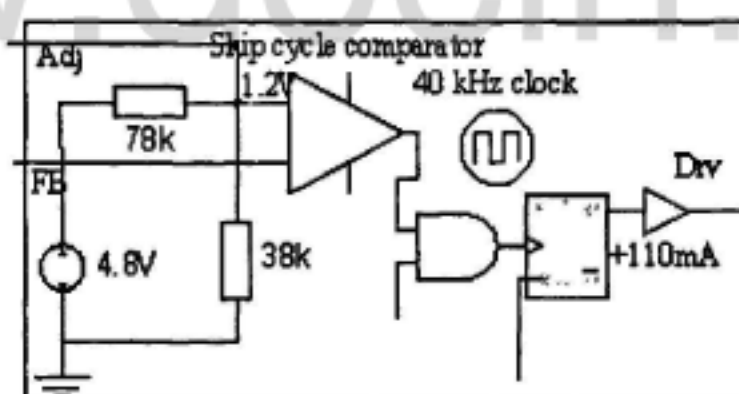


图 2.8 NCP1200 跳周期模块结构

Fig.2.8 The NCP1200 jump cycle module structure

而 FSD200 则是通过控制内部驱动器实现可控脉冲模式，即将 VFB 脚的反馈电压与 0.6V/0.5V 迟滞比较器比较，由比较结果控制门极驱动输出，其结构可见图 2.9。我们可根据此原理用分立元件实现普通芯片的 Burst Mode 功能，即检测次级电压判断电源是

否处于待机状态，通过迟滞比较器，控制芯片输出，电路如图 2.10 所示。

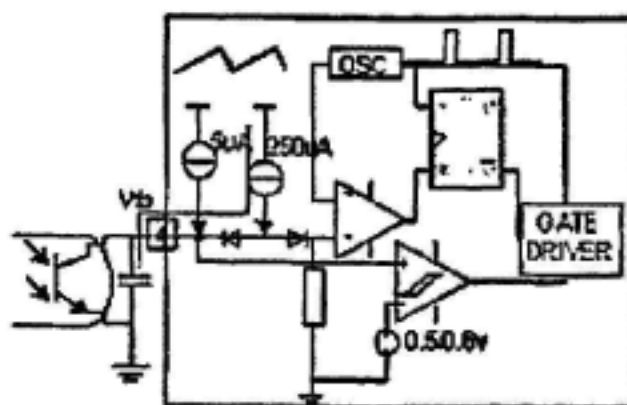


图 2.9 FSD200 中 burst mode 结构

Fig.2.9 Burst mode structure in FSD200

控制反馈通道是实现一般 PWM 控制器的可控脉冲模式的方法之一。其电路可见图 2.11, I_C 是 V_{out} 反馈信号, 当 Burst Signal 为低电平时, Q_1 关断, $V_{FB} = V_{ref} - R_1 I_C$ 电路正常工作, 当 Burst Signal 为低电平时, Q_1 导通, R_1 被短路, I_C 流过 Q_1 , V_{ref} 被拉高至 $V_{ref} - 0.6V$, 反馈信号 I_C 不能反映在 V_{FB} 上, 控制器因此输出低电平。

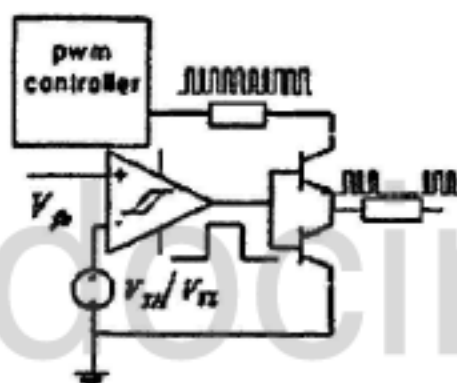


图 2.10 控制输出通道的 burst mode

Fig.2.10 The burst mode which controls the output channels

另外对于有使能脚的 PWM 控制器, 如 L6565 等, 用可控脉冲信号控制使能脚使控制芯片有效或失效, 也可以实现 Burst Mode, 上述 Burst Signal 可由图 2.11 中所示的迟滞比较器产生。

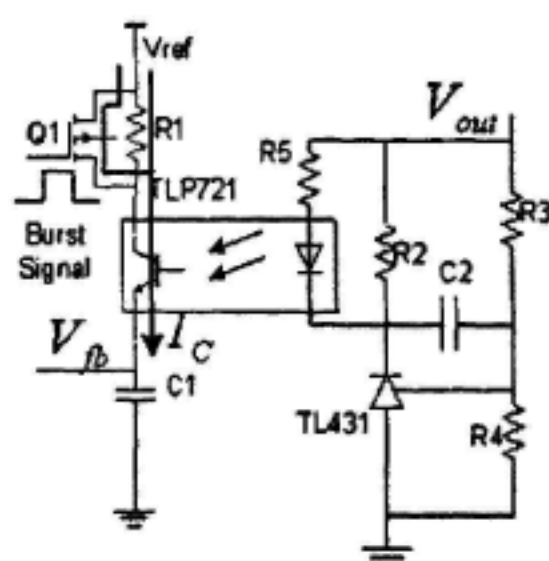


图 2.11 控制反馈通道的 Burst Mode

Fig.2.11 The burst mode which controls the feedback channels

2.3.2 存在的问题

以上介绍的降频和 Burst Mode 方法在提高待机效率的同时,也带来一些问题,首先是频率降低导致输出电压纹波的增加,其次如果频率降至 20kHz 以内,可能有音频噪音。而在 Burst Mode 的 OFF 时期内,如果负载激增,输出电压会大大降低,如果输出电容不够大,电压甚至可能降低至零。如果增大输出电容,以减小输出电压纹波,则会导致成本增加,并会影响系统动态性能,因此必须综合考虑^[42]。

www.docin.com

3 电源管理芯片高精度、抗干扰、低功耗设计研究

随着电子信息产业飞速发展,电子设备应用范围愈加广泛,应用环境也愈加复杂多变。电源管理芯片能否在不同的工作环境中,不同的电子设备中始终提供准确、稳定、抗扰、节能,成为了电源管理芯片的设计关键。比如在温度变化较大的户外或者冬季室内外温差较大的应用条件下,电源管理芯片始终要保持精准的电压输出。同时,随着开关电源的开关频率的不断提高,其正常工作时的电磁干扰(EMI)问题越来越受到设计者的关注。如果电磁辐射太强,他们会通过电源线传播,或辐射到系统中的其他装置上,损害系统的性能^[44],这要求电源管理芯片较强的抗电磁干扰能力。另外,在能源牵动世界的今天,对于普及在各类电子设备中的电源管理芯片而言,必须保证节能高效。

为了能满足现今电子设备对电源管理芯片高精度、抗干扰、低功耗的设计要求,本章重点研究了三种电路:带隙基准电路、频率抖动电路和间歇模式电路,并对电路工作原理和设计方法进行了详细分析。

3.1 高精度 CMOS 带隙基准电压源设计

3.1.1 带隙基准源的原理

图 3.1 为带隙基准的原理示意图。设带隙基准电压为 V_{Ref} 。硅材料的带隙电压与工艺和温度无关,双极极管的晶体管的基极-发射极电压降为 V_{BE} ,具有负温度系数,在室温下数值为 $-2.2\text{mV}/^{\circ}\text{C}$;热电压 V_T 具有正温度系数,室温下为 $+0.087\text{mV}/^{\circ}\text{C}$ 。二者相互抵消可以实现理论上 V_{Ref} 的零温度系数^[45, 46]。

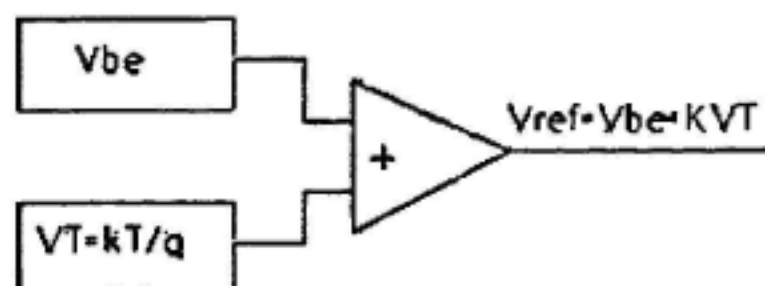


图 3.1 带隙基准源的原理

Fig.3.1 Principle of bandgap reference

将 V_T 电压与常数 K 相乘再与 V_{BE} 相加可得到输出电压为:

$$V_{Ref} = V_{BE} + KV_T \quad (3.1)$$

对上式进行对温度的微分,带入 V_{BE} 和 V_T 的温度系数就可以求得 K 。

图 3.2 是传统 CMOS 带隙电压基准源的基本结构^[47]。该结构对放大器的精度和匹配性要求较高，运放失调电压与温度和输入电压有关，是基准源理论值与实际值之间误差的主要来源^[48]。晶体管、电阻等之间器件和布局的不匹配、运放输入级晶体管阈值电压不匹配、运放有限增益等是产生失调电压的主要因素。

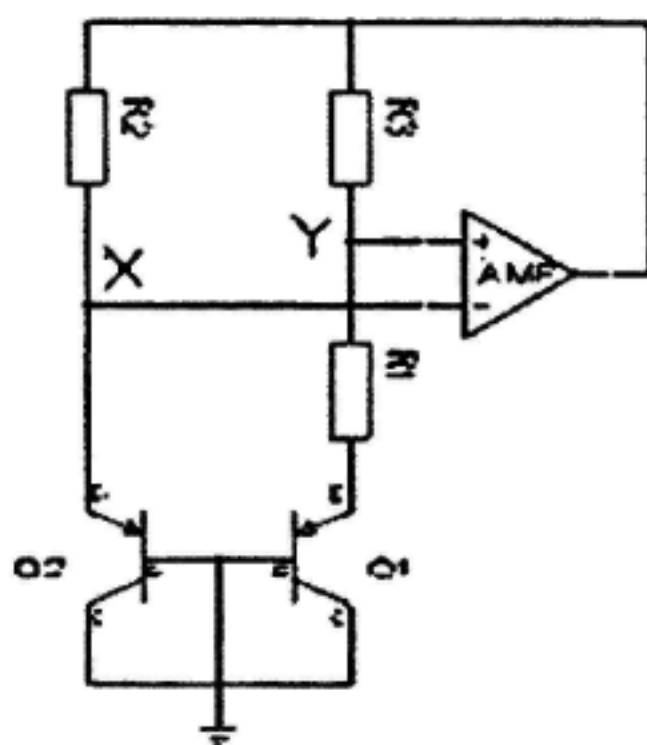


图 3.2 传统带隙电压基准的基本结构

Fig.3.2 Typical circuit of bandgap reference

根据双极器件 PN 结上电流和电压的关系：

$$I = I_S (e^{qV_{BE}/kT} - 1) \quad (3.2)$$

图中，两个 PNP 管 Q_1 和 Q_2 的基极—发射极电压差 ΔV_{BE}

$$\Delta V_{BE} = V_{BE2} - V_{BE1} = V_T \ln \left[\frac{I_2}{I_1} \right] \quad (3.3)$$

其中， I_1 、 I_2 为流经 Q_1 和 Q_2 的电流 $I_1 = I_2$ 。设 Q_1 和 Q_2 的发射极面积分别为 A_1 和 A_2 ，且令 $R_2 = R_3$ ，则流过 Q_1 和 Q_2 的电流相等即，又因运算放大器的作用是得电路处于深度负反馈状态，则节点 X 和 Y 的电压相等，有：

$$V_{BE2} = R_1 I_1 + V_{BE1} \quad (3.4)$$

于是有：

$$\Delta V_{BE} = V_{BE2} - V_{BE1} = R_1 I_1 \quad (3.5)$$

又由图 3.2 可得：

$$V_R = R_2 I_2 + V_{BE2} \quad (3.6)$$

式 3.4、式 3.5、式 3.6 三式连立，可得：

$$\begin{aligned} V_R &= V_{BE2} + \frac{\Delta V_{BE} R_2}{R_1} = V_{BE2} + V_T \left[\frac{R_2}{R_1} \ln \left(\frac{A_1}{A_2} \right) \right] \\ &= V_T \left[\frac{R_2}{R_1} \ln \left(\frac{A_1}{A_2} \right) \right] + V_{BE2} \end{aligned} \quad (3.7)$$

式 3.1、式 3.7 连立，可得到常数 K：

$$K = \frac{R_2}{R_1} + \ln \left(\frac{A_1}{A_2} \right) \quad (3.8)$$

又有：

$$\begin{aligned} V_R &= V_{BE1} + I_1 (R_3 + R_1) \\ &= V_{BE1} + V_T \ln \left(\frac{A_1}{A_2} \right) \left(1 + \frac{R_3}{R_1} \right) \end{aligned} \quad (3.9)$$

式 3.9 两边同时对温度 T 求一阶偏导数， $T=300\text{K}$ 时， $\partial V_T / \partial T$ 近似等于 0.087mV/K ，在 sinoMOS 1.0um 工艺库中， $\partial V_{BE} / \partial T$ 为 -1.9mV/K 。可通过使等式中 $\partial V_R / \partial T$ 等于零，得到相应的设计数值。

3.1.2 设计目标与电路实现

本文设计的带隙基准电压源电路如图 3.3 所示。该电路主要由使能和启动电路、带隙基准核心电路和反馈补偿电路组成。设计目标为输出基准电压为 1.25V ，温度变化范围在 $-40^\circ\text{C} \sim 150^\circ\text{C}$ 之间时，温度系数不超过 $17\text{ppm}/^\circ\text{C}$ ，电源抑制比在 60dB 左右，静态电流不超过 $10\mu\text{A}$ 。设计构想和电路模块分析如下。

(1) 启动电路

启动电路由 $M_1 \sim M_{14}$ 组成。由于自偏置带隙基准源的工作状态存在两个平衡点：一个是正常工作点，而另一个是零点，即电路中各个支路电流均为零的状态。工作状态在零点时，带隙基准电路中的晶体管传输的均为零电流，即全部将保持关断。为了防止这种零电流状态的出现，需要增加启动电路。

工作原理大致为：上电前，整个电路不工作；电路在上电时驱动带隙基准电路摆脱零电流的工作状态；当基准电路正常工作后，启动电路自动关闭。

图 3.3 中， E_N 为使能输入端，高电平时 net dxs_1 为高电平，禁止带隙基准源工作； E_N 为低电平时 net dxs_1 为低电平，启动带隙基准源。一旦电路正常工作， M_4 开启，并且开启 M_7 和 M_{10} 组成的电流镜；A 点电平被下拉，则 M_{15} 关闭。启动电路中各条支路没有电流流过，即启动电路关闭，不会造成额外功耗。

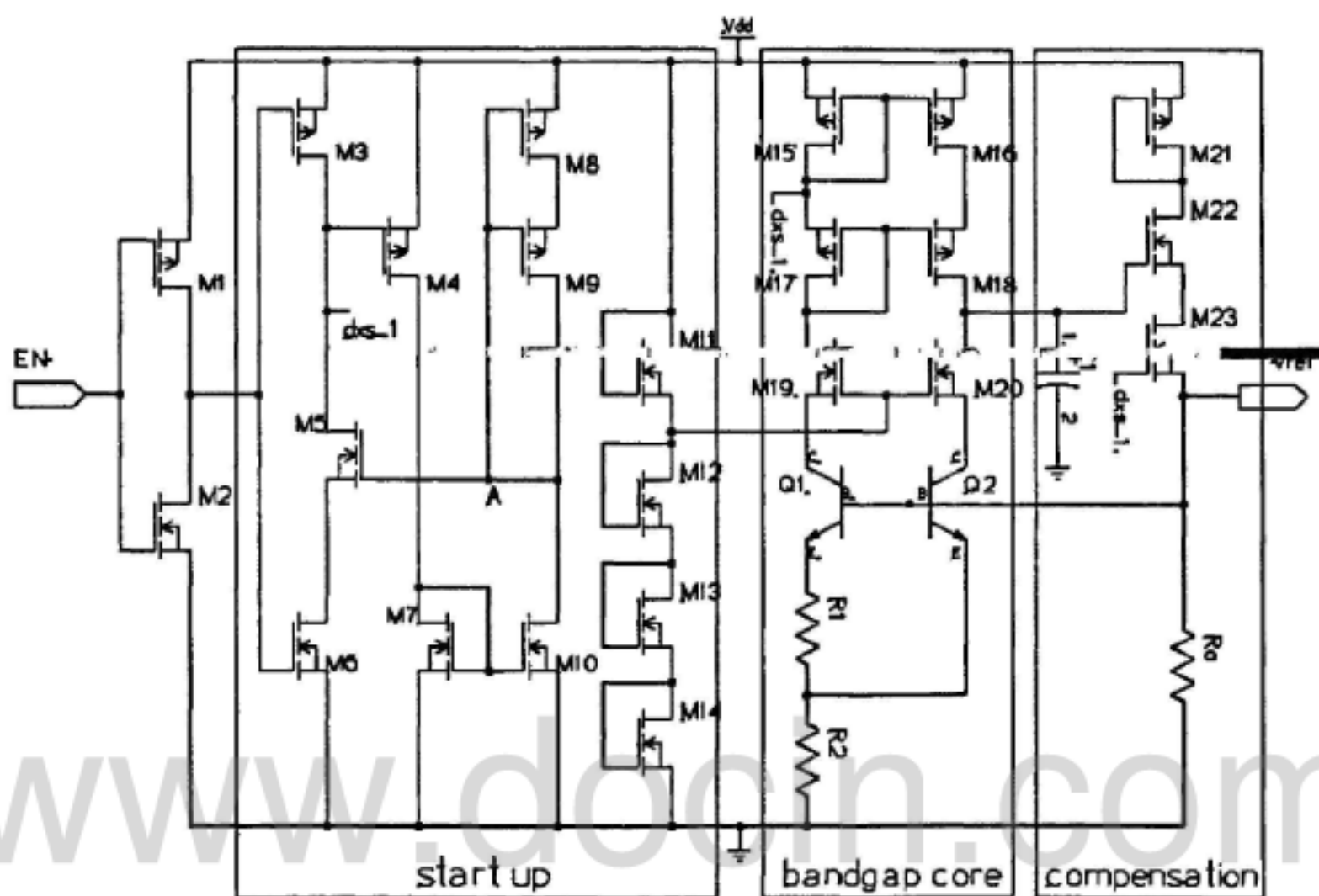


图 3.3 带隙基准电压源电路图

Fig.3.3 Circuit of bandgap reference

(2) 带隙基准核心电路

带隙基准核心电路由 Q_1 、 Q_2 、 $M_{15} \sim M_{20}$ 、 $M_{11} \sim M_{14}$ 、 R_1 和 R_2 组成。其中， Q_1 、 Q_2 和 R_1 、 R_2 产生带隙基准电压；四个一样的 PMOS 管 $M_{15} \sim M_{20}$ 构成自偏置共源共栅电流镜，作为带隙基准源的有源负载，使得流过 Q_1 和 Q_2 两条支路的电流相等；四个二极管连接的 NMOS 管 $M_{11} \sim M_{14}$ 通过分压给 M_{19} 和 M_{20} 提供栅压。

如前所述，带隙基准电压是利用一个正温度系数电压和一个负温度系数电压线性叠加产生的。假设 Q_1 和 Q_2 的发射极面积比为 n ，则：

$$\begin{aligned} V_{R1} &= \Delta V_{BE} = V_{BE2} - V_{BE1} \\ &= V_T \ln n = \frac{kT}{q} \ln n \end{aligned} \quad (3.10)$$

$$I_{R1} = \frac{V_{R1}}{R_1} = \frac{kT}{qR_1} \ln n \quad (3.11)$$

由于流过 Q_1 和 Q_2 两条支路的电流相等, 忽略基极电流的影响, 则流过 R_2 的电流是约为流过 R_1 的电流的两倍, 即:

$$I_{R2} = 2I_{R1} \quad (3.12)$$

R_1 和 R_2 上的压降和为:

$$\begin{aligned} V_{Reg} &= I_{R1}R_1 + I_{R2}R_2 \\ &= \frac{kT}{q} \left(1 + \frac{2R_2}{R_1}\right) \ln n \end{aligned} \quad (3.13)$$

因此, 可以得到带隙基准电压:

$$\begin{aligned} V_{Ref} &= V_{BE1} + V_{Reg} \\ &= V_{BE1} + \frac{kT}{q} \left(1 + \frac{2R_2}{R_1}\right) \ln n \end{aligned} \quad (3.14)$$

上式中, V_{BE1} 具有负温度系数, V_R 具有正温度系数。调整 R_{19} 、 R_{20} 和 n 值就可以得到零温度系数的基准电压值。

(3) 反馈补偿电路

从前面的推导公式可以看出, 带隙基准电压 V_{Ref} 与电源电压 VDD 是无关的。所以在低频时, 电源电压的变化基本上不会影响带隙基准的输出值。但是随着工作频率的提高, 由于电容耦合的原因导致输出基准电压在高频时会受到 VDD 的波动的影响。

在具体的电路设计中为解决这一问题, 设计增加一个反馈补偿电路, 由 $M_{21} \sim M_{23}$ 、 R_0 和补偿电容 C_1 组成。 Q_2 、 M_2 、 M_{22} 和 M_9 构成负反馈, 维持输出基准电压的稳定。如果 VDD 的波动使得 V_{Ref} 升高, 则流过 Q_2 的电流增大, M_{22} 栅极电压减小, 流过 M_{22} 支路的电流也减小, R_0 上的压降减小, 即 V_{Ref} 降低, 从而稳定了输出基准电压。

3.1.3 仿真结果分析

(1) 温度特性仿真

图 3.4 是不同电源电压条件下, 基准电压的温度特性仿真曲线。可以明显观察到,

基准电压 V_{Ref} 在电源电压 VDD 分别为 5V 和 6V 时随温度变化关系。从图中的曲线可以看出，电源电压在 5V~6V 之间，基准电源的温度特性优良。电源电压为 5V 时，在 -40°C ~ 150°C 的温度范围内， V_{Ref} 只在 1.2468V 到 1.2505V 之间微幅度变化，则温度系数为：

$$T_{CP} = \frac{1}{V_{Ref}} \times \frac{dV_{Ref}}{dT} = \frac{1}{1.25} \times \frac{1.2505 - 1.2468}{190} \quad (3.15)$$

$$= 15.6 \times 10^{-6} / ^{\circ}\text{C} = 15.6 \text{ ppm} / ^{\circ}\text{C}$$

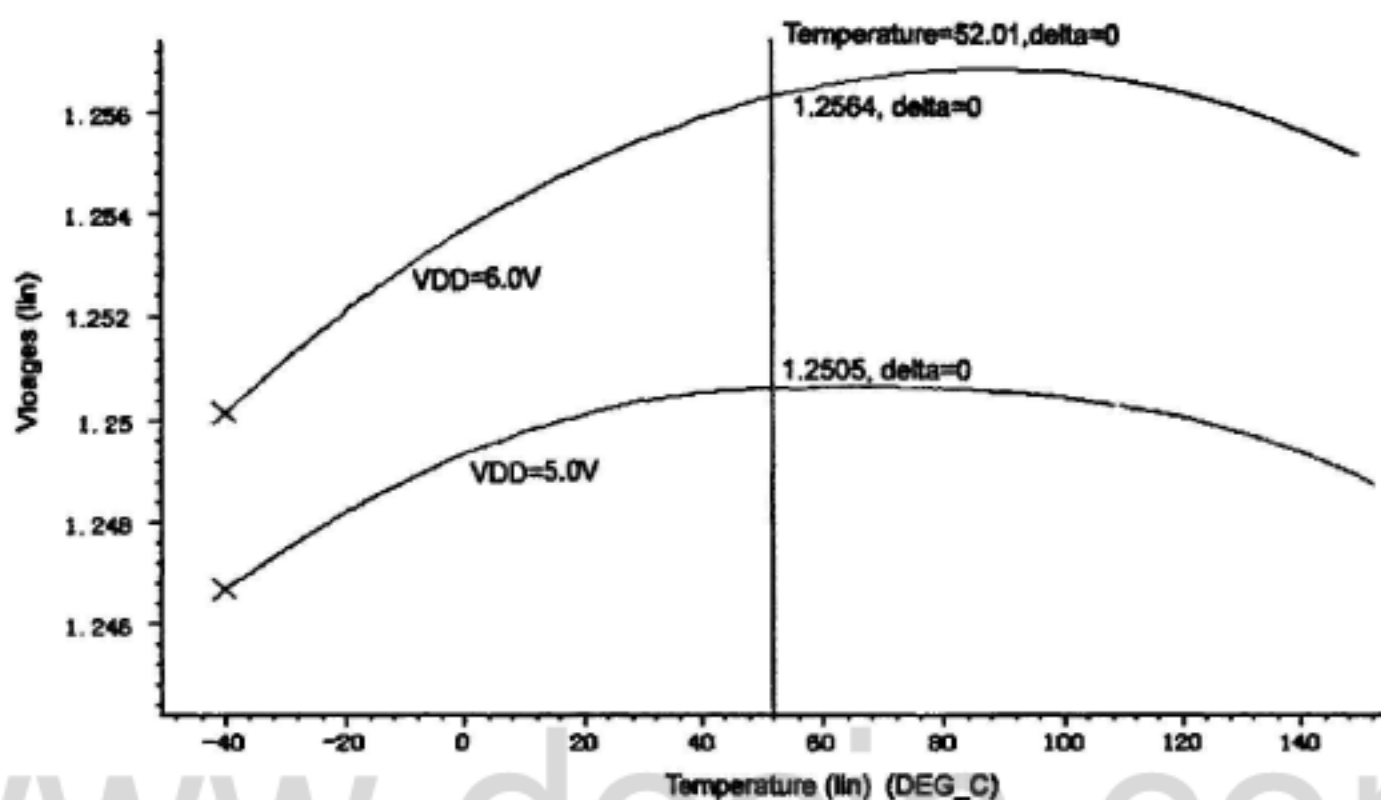


图 3.4 不同电源电压条件下, 基准电压的温度特性仿真曲线

Fig.3.4 Temperature characteristic curves of bandgap voltage simulation under different power supply

(2) 电源抑制特性仿真

图 3.5 是带隙基准电压源的电源抑制比(PSRR)频率特性仿真结果。交流仿真条件为：电源电压直流 5V，并加入 1V 交流纹波信号，交流纹波信号的频率从 1Hz~10MHz 变化，仿真温度为 27°C 。从仿真结果可以看出：在大约 400Hz 的频率以内，带隙基准电压源的 PSRR 高达 61dB，符合高电源抑制比要求。

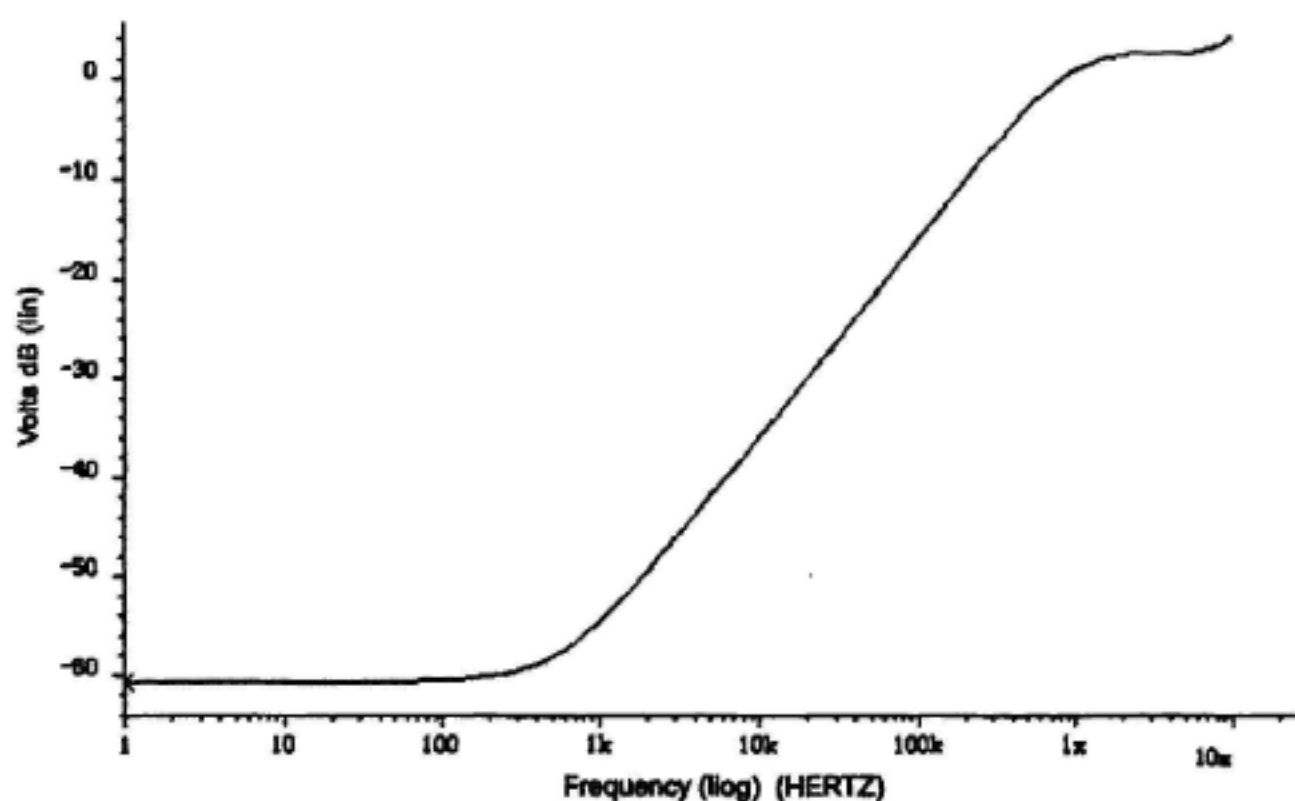


图 3.5 电源抑制比随频率变化特性曲线

Fig.3.5 Variation characteristic curves of PSRR with frequency

(3) 各个模型仿真对比

如表 3.1 所示, 为 sinoMOS 工艺库下, 通过各种模型对电路仿真, 所得带隙基准电压的对比, 用以验证工艺误差对精度影响的相对值和绝对值都很小。

表 3.1 各模型下带隙基准电压的偏差

Tab.3.1 Deviations of all models of simulation

仿真模型	Vref (V)	绝对误差	相对误差
TT	1.2474	0.0026	0.00208
FF	1.2469	0.0031	0.00208
SS	1.2471	0.0029	0.00232
FS	1.2477	0.0023	0.00284
SF	1.2470	0.0030	0.00240

3.1.3 版图设计

本文提出的高精度 CMOS 带隙基准电压源采用 sinoMOS 1 微米 BiCMOS 工艺进行版图设计。根据代工厂提供的版图设计规则以及版图布局的要求, 如《模拟版图的艺术》一书中提到的那样, 图 3.6 所示即为本文设计的高精度 CMOS 带隙基准电压源版图。

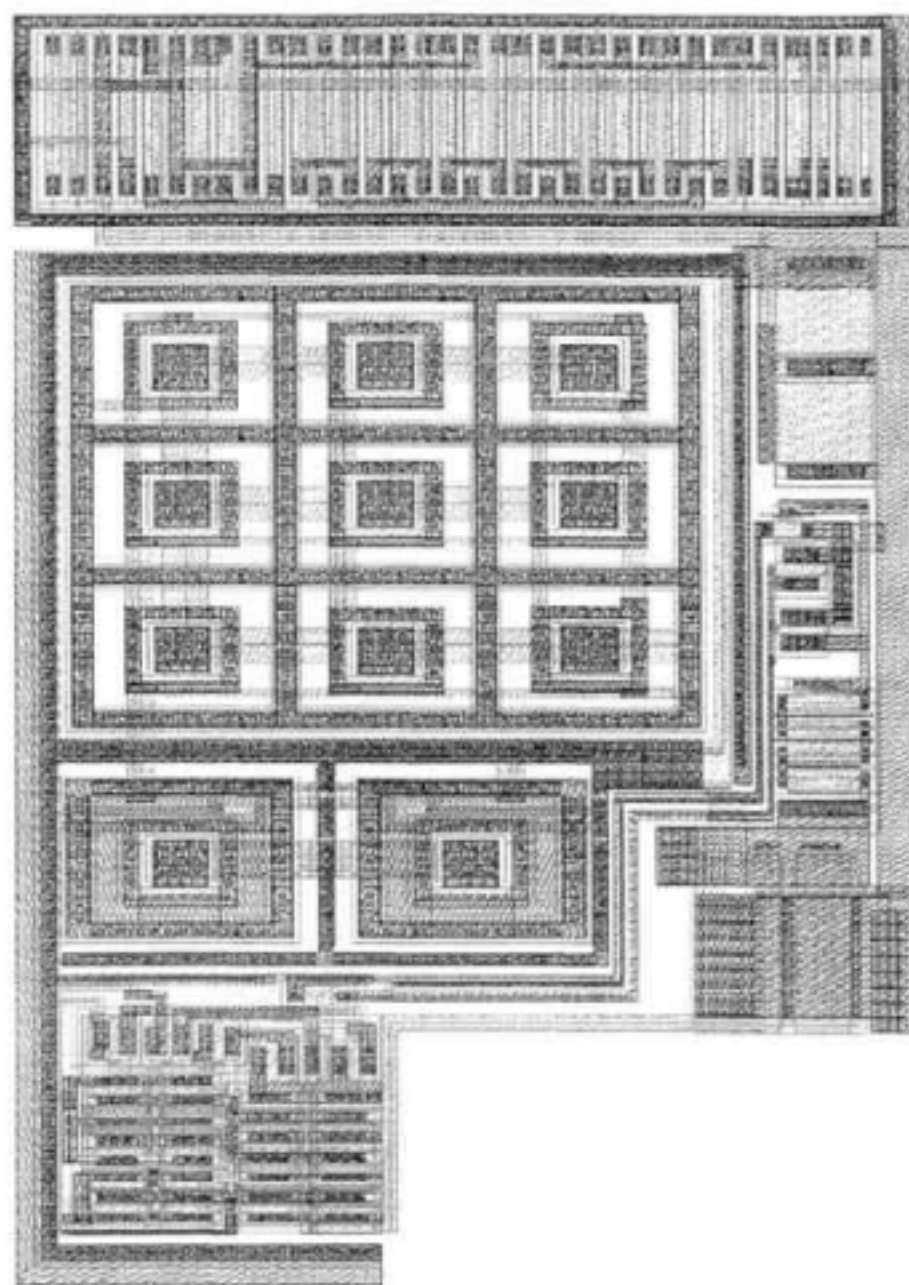


图 3.6 高精度 CMOS 带隙基准电压源版图

Fig.3.6 Layout of high-precision bandgap voltage reference circuit

3.2 采用频率抖动技术降低电磁干扰 RC 振荡器设计

如第二章所述, 想要减小电磁辐射, 可以通过对工作频率的调整与抖动, 将电磁辐射的峰值(一般出现在开关电源的开关频率及倍频处)扩散到更宽的频率上, 从而降低峰值辐射。

3.2.1 频率抖动原理

频率抖动技术是指通过使开关电源的工作频率发生周期性的变化来减小电磁干扰的技术。图 3.7 所示为频率抖动的工作原理。开关频率不是单一的固定值, 而是按着一定的周期性变化。从图中可以明显看到抖动频率对开关频率高次谐波 EMI 干扰能量的分散作用。

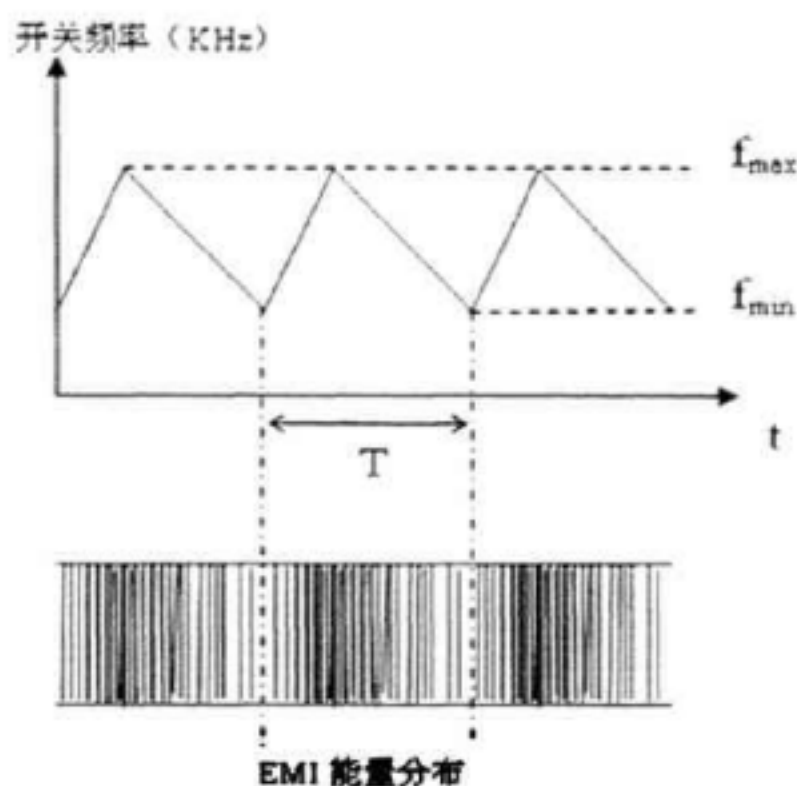


图 3.7 频率抖动的示意图

Fig.3.7 Schematic diagram of the frequency jitter

再如图 3.8 所示, 固定频率时, 干扰能量各次谐波较窄, 而且离散在开关频率及倍频处集中; 而加入了频率抖动以后, 谐波幅值明显降低了, 并分散开来, 减小 EMI 的效果十分明显^[49]。

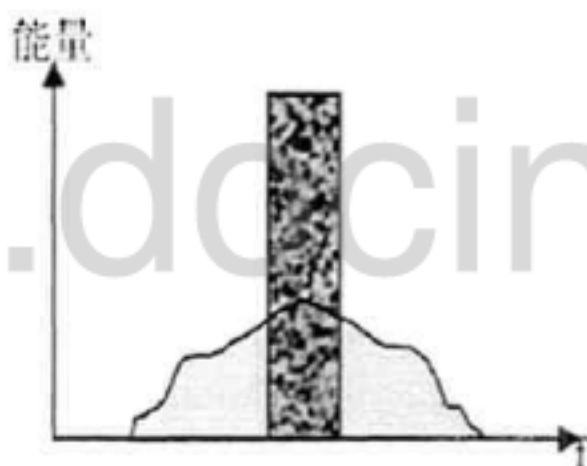


图 3.8 频率抖动后 EMI 干扰能量变化

Fig.3.8 EMI interference after the frequency of jitter energy change

3.2.2 设计目标与电路结构的设想

设计一个加入频率抖动功能的振荡器。设计目标为中心工作频率为 44.6KHz, 最大抖动频率为 1.6KHz, 即在一个周期内(8ms)完成一次从 46.2KHz 到 43.0KHz 的频率微小抖动。

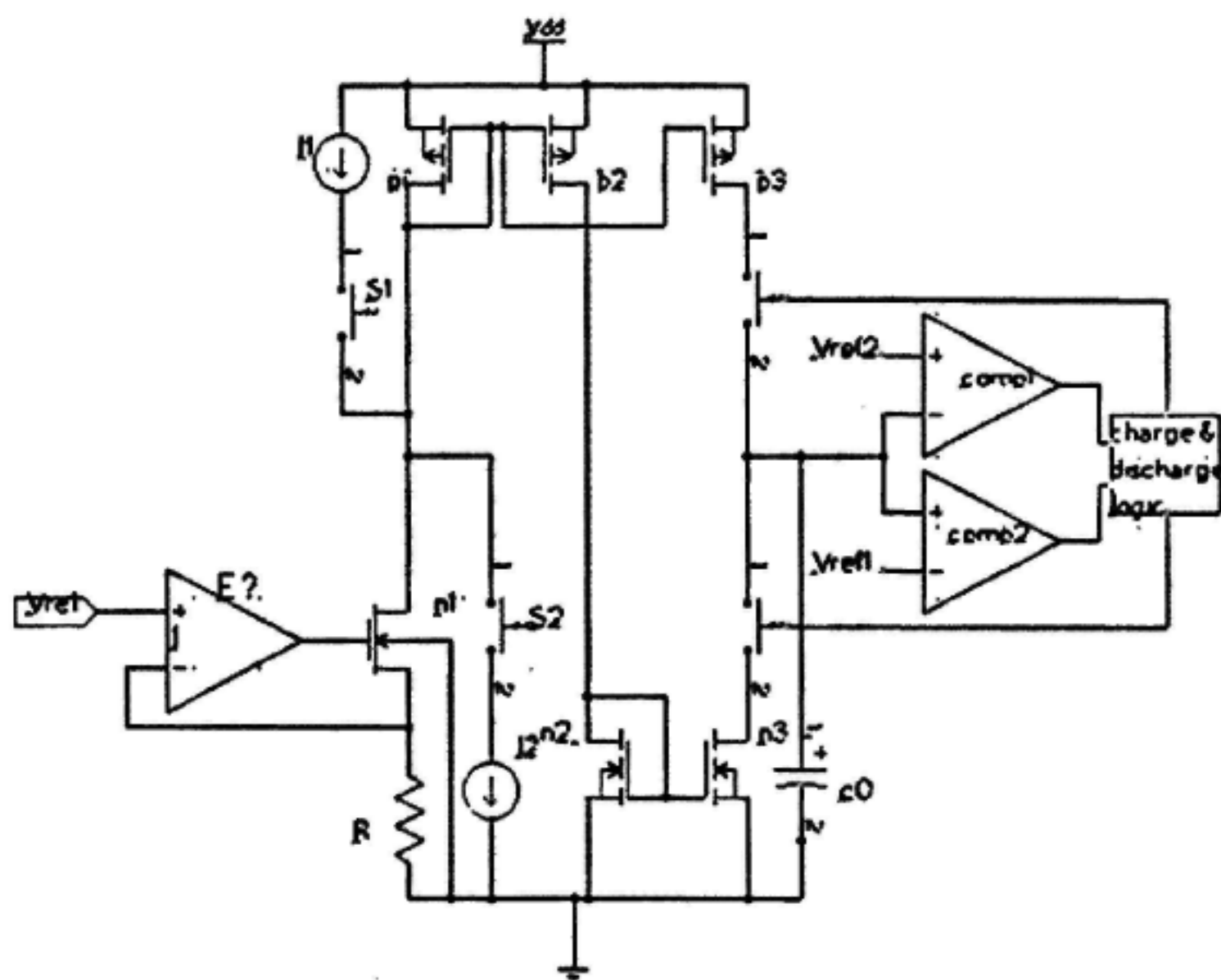


图 3.9 频率抖动振荡器示意图

Fig.3.9 Schematic diagram of the frequency jitter oscillator

针对设计目标，结合传统的 RC 振荡器电路，初步设计构想图 3.9 所示。首先分析 S_1 和 S_2 断开的情况。设放大器参考电压为 V_{ref} ，并设流过电阻 R 的电流为 I_{ref} ，三者间符合欧姆定律的线性关系。若放大器参考电压和电阻设置不变，可以使 I_{ref} 保持恒定。

通过电流镜镜像给充放电电路。设电容电压为 V_c 。放大器产生充电信号给电容，并经过逻辑电路控制充放电电路的开启关闭。并设比较器参考电压分别为 V_{ref1} 和 V_{ref2} ，且前者小于后者。

讨论：

- (1) 当 $V_c < V_{ref1}$ 时， $comp_1$ 输出高电平， $comp_2$ 输出低电平，放电支路关闭、充电支路打开，电容充电， V_c 升高；
- (2) 当 $V_{ref1} < V_c < V_{ref2}$ 时，两比较器均输出高电平，保持充电状态；
- (3) 当 $V_c > V_{ref2}$ 时， $comp_1$ 输出低电平， $comp_2$ 输出高电平，充电支路关闭、放电支

路打开, 电容开始放电, V_c 下降;

(4) 当再次出现 $V_c < V_{ref1}$ 时, 则再次充电开始, 如此反复就形成了三角波振荡波形。

从上面的讨论可知, 振荡器的振荡频率受充电电容和充放电电流控制。若要改变振荡频, 可通过改变充放电电流或改变电容来实现, 但一般设计后电容不再改变。

再来分析 S_1 和 S_2 部分连通的电路情况。此时电流源 I_1 或 I_2 开始作用起。图 3.9, 考虑到先前设定的 I_{ref} 是保持不变的, 通过控制 S_1 和 S_2 的导通和关闭来调节振荡器的充放电电流。如果所用的 Nmos 和 Pmos 同型尺寸相同, 当开关 S_1 合上、 S_2 断开, 则的充放电电流减小为 $I_{osc} = I_{ref} - I_1$, 振荡器频率降低; 当开关 S_1 断开、 S_2 合上, 则充放电电流增大为 $I_{osc} = I_{ref} + I_2$, 振荡器频率增大。为达到设计目标, 可在并联多路电流源, 逻辑控制随时组合导通即可使充放电电流周期性变化。

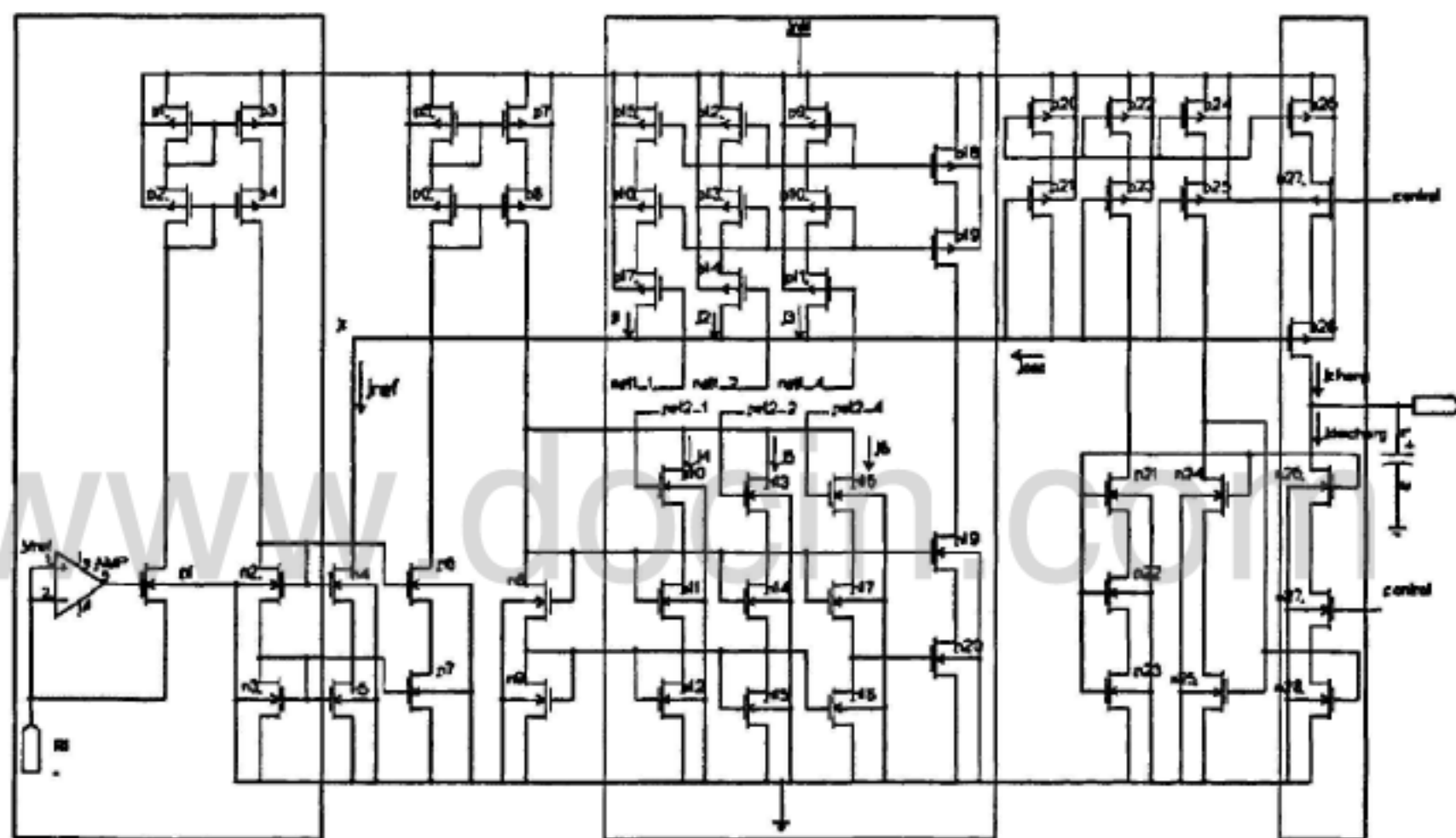


图 3.10 频率抖动电路的三个模块

Fig.3.10 The three module of the frequency jitter circuit

3.2.3 模块实现与控制策略

图 3.10 为划分出模块的电路实现。

模块一: 电流偏置区, 用于为后级提供偏置电流;

该模块由运放 AMP、 N_I 、 P_I 、 P_2 和 R_I 端所接电阻组成。

模块二：充放电电流调节区——提供频率抖动调控；

该模块由上下并联的 6 路电流源 $I_1 \sim I_6$ 组成，用来调节充放电控制电流。其中电流源比例为 $I_1:I_2:I_3=1:2:4$ ， $I_4:I_5:I_6=1:2:4$ ，由 net1 和 net2 两部分 6 个网络控制电流源的工作状态。功能状态为：在一个抖动周期的前半周期内，下面的三路电流源随时间组合开通，充放电电流先增大后减小，呈正弦波正半周期状，电流值在 0 到 7 倍 I_4 之间变化；另半个周期中，上面的三路电流源组合开通，波形类似于下面三路电流源开通时候情况；整个周期实现充放电电流随时间的正弦型变化，频率抖动开启。

模块三：振荡器主体区——产生锯齿波。

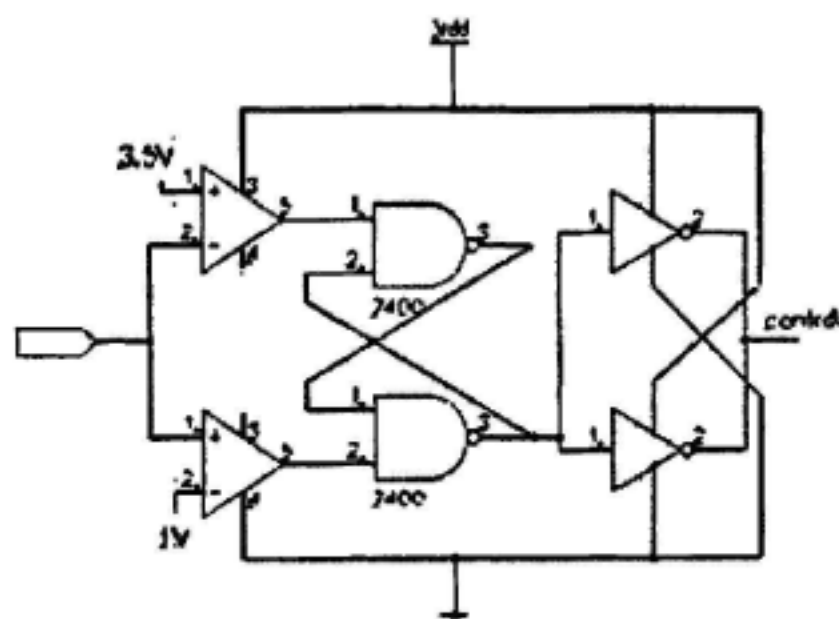


图 3.11 频率抖动电路的逻辑控制部分

Fig.3.11 The logic control part of the frequency jitter circuit

图 3.11 给出逻辑控制区电路。

3.2.4 电路的数值验证

(1) 无频率抖动时

所有电流源均关闭，则 $I_{osc} = I_{ref}$ ， I_{osc} 电流镜像给充放电支路^[50]。恒流充电，电容 C_I 的充电时间为：

$$t_{charge} = \frac{\Delta V_{CI} C}{I_{charge}} \quad (3.16)$$

放电时间为：

$$t_{discharge} = \frac{\Delta V_{C1} C}{I_{discharge}} \quad (3.17)$$

ΔV_{C1} 为电容 C_1 电压变化量, C 为容值。

得振荡周期为:

$$T = t_{charge} + t_{discharge} = \frac{\Delta V_{C1} C}{I_{charge}} + \frac{\Delta V_{C1} C}{I_{discharge}} \quad (3.18)$$

中心振荡频率为:

$$f = \frac{1}{T} = \frac{I_{charge} I_{discharge}}{\Delta V_{C1} C (I_{charge} + I_{discharge})} \quad (3.19)$$

如果设置 $V_{ref} = 1.25V$, 并在 R_I 处加入电阻 100K, 采用电流镜像使得:

$$I_{ref} = \frac{V_{ref}}{R_I} = \frac{1.25}{100} \times 10^{-3} A = 1.25 \times 10^{-5} A \quad (3.20)$$

调整各 mos 管参数, 使得 $I_{ref} : I_{charge} : I_{discharge} = 10 : 1 : 4$, 电容 C_1 的容值为 9.0pf, 充放电比较器的参考电压设置为 3.5V 和 1.0V。代入式 3.18 中得此振荡器的中心频率为:

$$f = \frac{4I_{charge}}{5\Delta V_{C1} C} \approx 44.6 KHz \quad (3.21)$$

该频率与设计目标相符, 可以作为中心频率。

(2) 加入频率抖动时

受修调电流源影响, I_{osc} 与 I_{ref} 不再相等。

当频率最大正向抖动时, 下面三路电流源打开, $I_{osc} > I_{ref}$, 充放电电流增大, 振荡频率增大, 此时设计目标振荡频率为:

$$f = \frac{4I'_{charge}}{5\Delta V_{C1} C} = 46.2 KHz \quad (3.22)$$

解得:

$$I'_{charge} = 1.8646 \times 10^{-6} \quad (3.23)$$

又 $I_{osc} : I_{charge} = 10 : 1$, 得: $I'_{osc} = 1.8646 \times 10^{-5} A$, 电流变化: $6.46 \times 10^{-7} A$, 于是可得:

$$\frac{I_4}{I_{ref}} = \frac{\Delta I_{ref}^7}{I_{ref}} = \frac{6.46 \times 10^{-7}}{7 \times 1.25 \times 10^{-5}} \approx \frac{1}{282} \quad (3.24)$$

当频率最大负向抖动时, 振荡频率约为 $f=43.0\text{KHz}$, 同理得到:

$$\frac{I_1}{I_{ref}} \approx \frac{1}{282} \quad (3.25)$$

综上, 得到电路中各个支路的电流关系:

$I_{ref} : I_{charge} : I_{discharge} : I_1 : I_4 = 282 : 28 : 7 : 1 : 1$, $I_1 : I_2 : I_3 = 1 : 2 : 4$, $I_4 : I_5 : I_6 = 1 : 2 : 4$, 通过调整MOS管宽长比和个数比可以达到该比例要求。

3.2.5 仿真结果

基于 sinoMOS $1\mu\text{m}$ 40V BiCMOS 工艺条件, 采用 Hspice 仿真工具对设计的电路进行仿真。得到的电流源控制信号如图 3.12:

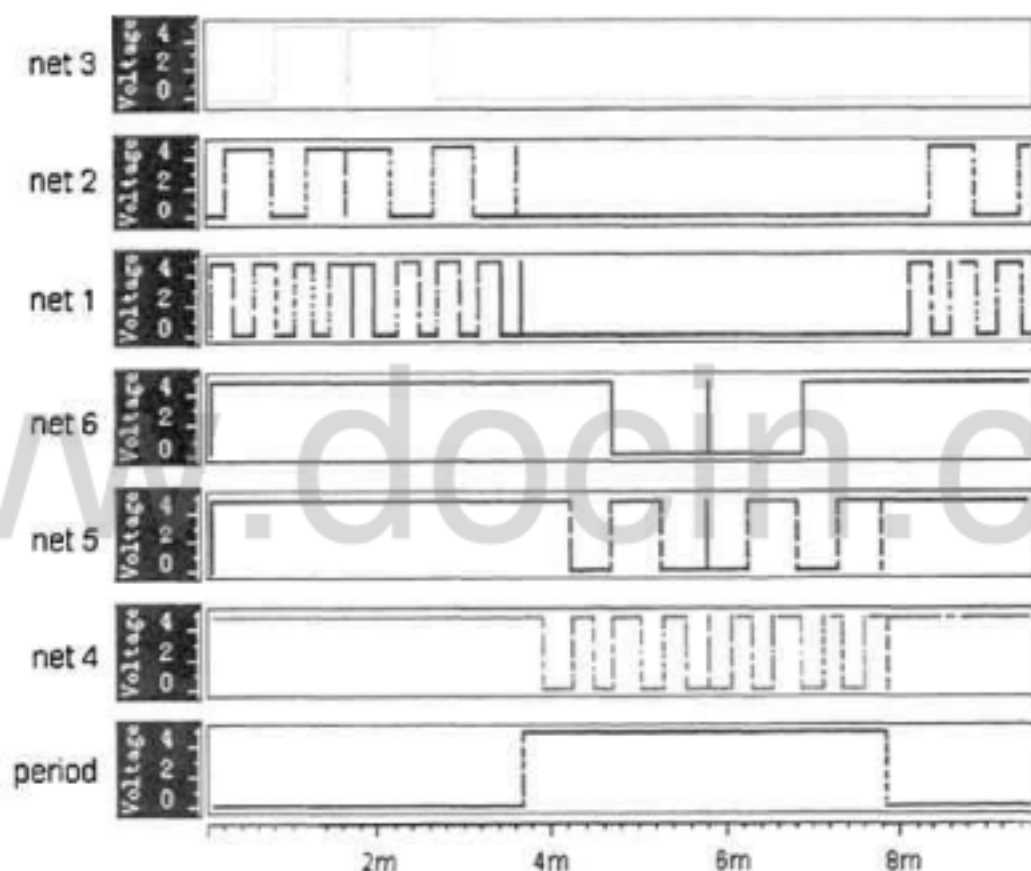


图 3.12 频率抖动控制信号

Fig.3.12 Frequency jitter control signal

可见, 该控制信号可以按照设计思想在 8ms 内有序的打开各电流源。振荡器的三角波信号随时间的频率变化如图 3.13 所示(这里只取一个周期的波形)。可见, 该振荡器可以在 8ms 内振荡频率以中心频率 44.6KHz 为中心上下波动 1.6KHz , 满足设计要求。

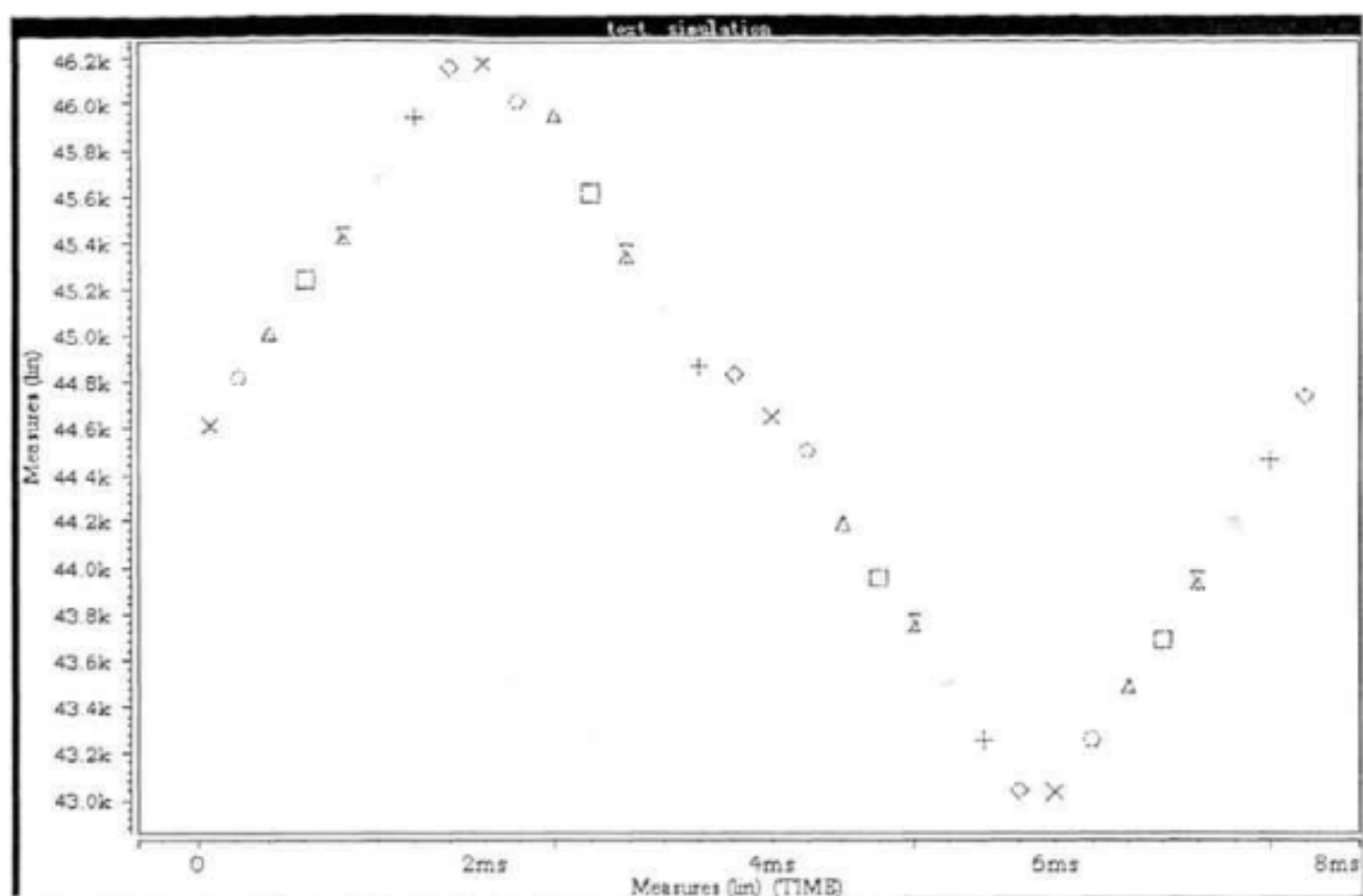


图 3.13 振荡器频率抖动仿真波形

Fig.3.13 Simulation waveform oscillator frequency jitter

3.2.6 版图设计

本文提出的开关频率抖动降低电磁干扰的振荡器电路采用 sinoMOS 1 微米 BiCMOS 工艺进行版图设计。根据代工厂提供的版图设计规则以及版图布局的要求，如《模拟版图的艺术》一书中提到的那样，图 3.14 所示即为本文设计的开关频率抖动振荡器版图。

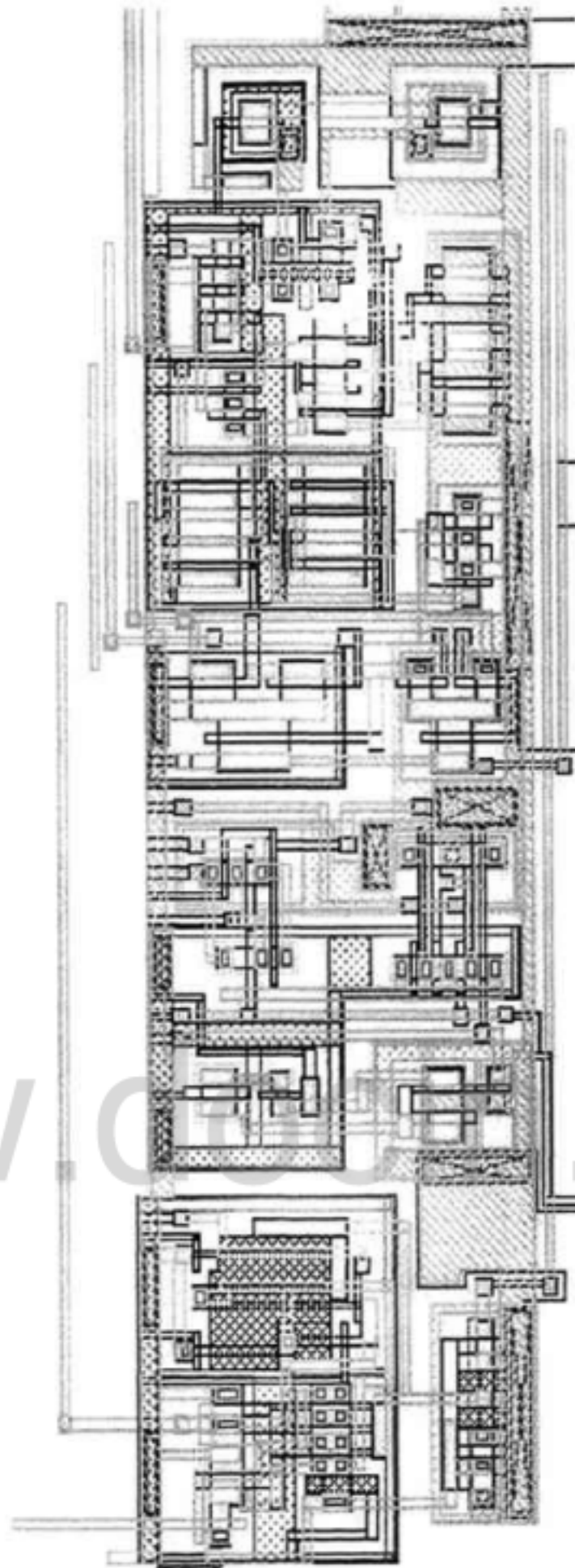


图 3.14 开关频率抖动振荡器版图

Fig.3.14 Layout of frequency jittering oscillator circuit

4 一款 PWM 开关电源芯片实现

4.1 芯片结构

这是一款单端反激式 PWM 电流模式 AC/DC 开关电源控制芯片^[51]，内部框图如图 4.1 所示：

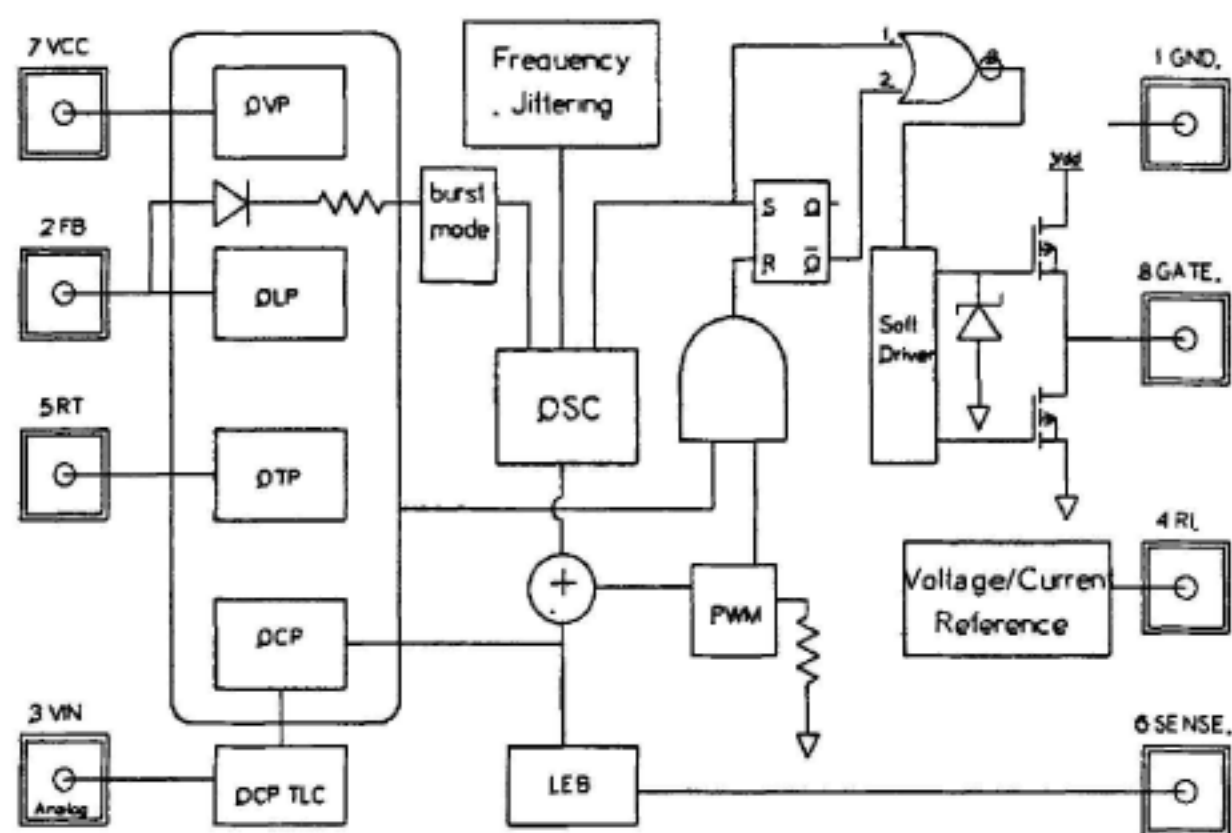


图 4.1 PWM 芯片内部功能结构框图

Fig. 4.1 Interior function structure of PWM chip

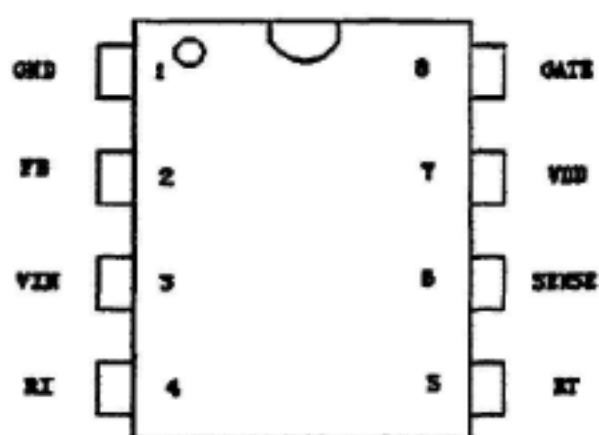


图 4.2 PWM 芯片封装图

Fig. 4.2 Package of PWM chip

可见该芯片包括基准电路、振荡器电路、PWM 比较器电路、频率抖动电路、Burst 模式控制电路、前沿消隐电路、钳位电路、斜坡补偿电路、OCP 线性补偿电路、软驱动电路和若干保护电路^[52]。

整个芯片一共有 8 个引脚，图 4.2 是 PWM 控制器芯片的封装图。
各引脚定义及功能说明如表 4.1 所示。

表 4.1 引脚定义及功能说明
Tab.4.1 Pin definition and function

引脚名	引脚说明
GND	地
FB	反馈输入端。此端输入电平和电流检测信号电平（引脚 6）共同决定 PWM 占空比。
VIN	经由大电阻接到整流输入端，以启动芯片和线性电压检测。
RI	振荡器频率内置检测端。RI 经电阻接地，来设置 PWM 频率。
RT	温度检测输入端。经一个 NTC 电阻接地。
SENSE	电流检测输入端。连接到 MOSFET 电流检测电阻结点上。
VDD	直流电源
GATE	功率管的图腾柱式栅驱动输出端。

4.2 指标和功能模块

(1) 设计指标

- ① 交流输入范围：85V~265V；
- ② 芯片正常工作电压：12V~23V；
- ③ 芯片正常工作温度：-20℃~85℃；
- ④ 峰值电流工作模式；
- ⑤ 低启动电流和工作电流；
- ⑥ 内置前沿消隐；
- ⑦ 内置斜坡补偿和 OCP 线性补偿；
- ⑧ 脉冲模式(Burst Mode)功能；
- ⑨ 频率抖动(Frequency Jittering)功能；
- ⑩ 逐周期限流保护。

(2) 功能模块介绍

- ① 基准电路：给其它模块提供不随工艺和电源变化的具有确定温度特性的基准电

压和基准电流。

② 振荡电路：产生锯齿波信号和方波信号，频率的大小由 R_1 脚外接电阻值设定。

③ PWM 比较器：通过比较 FB 端反馈信号和 $SENSE$ 端电流检测信号，产生控制外接 MOSFET 开关管的驱动信号。

④ 前沿消隐电路：消除外接 MOSFET 开关管开启瞬间产生的尖峰脉冲，防止 OCP 电路发生误判断。

⑤ 斜坡补偿电路：将振荡器产生的锯齿波信号叠加在 $SENSE$ 端电流检测信号上，保证在占空比 $D > 50\%$ 时系统的稳定性，避免次谐波振荡。

⑥ 频率抖动电路：使开关频率随时间在一定的范围内变化，将 EMI 扩散到更宽的频率上，从而降低电磁干扰的峰值辐射。

⑦ Burst 模式控制电路：在轻负载或无负载情况下，线性地降低芯片的工作频率，减少开关的损耗，降低待机功耗，提高电源系统的转化效率。

⑧ OCP 线性补偿电路：使系统在不需要增加成本的情况下，轻易使得全电压范围内系统的 OCP 曲线趋向平坦，获得恒定的功率输出，提高系统的性价比。

⑨ 软驱动电路：采用图腾柱式软栅驱动技术，有效改善系统的 EMI。

⑩ 过压保护(OVP)电路：防止电源电压过高对芯片造成损坏。

4.3 整体电路的仿真

图 4.3 为 PWM 控制器芯片的应用电路。

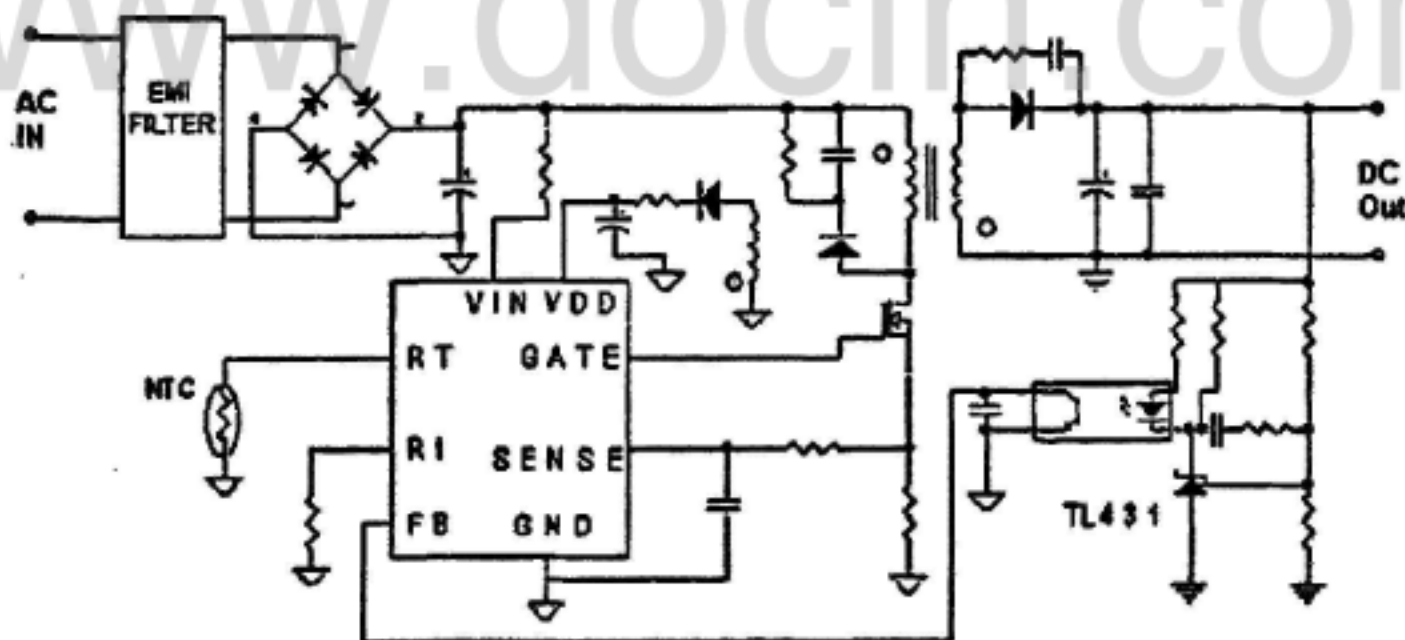


图 4.3 PWM 控制器芯片的应用电路

Fig.4.3 PWM Controller chip application circuit

(1) 启动电流

① 仿真条件:

v0 pvcc 0 pwl 0 0 100u 22

Clload gate 0 1n

.tran 20u 200u uic sweep temp-25 125 30

② 仿真结果:

温度 27°C, $I_{VDD_Startu}=7.03\mu A$, 如图 4.4。

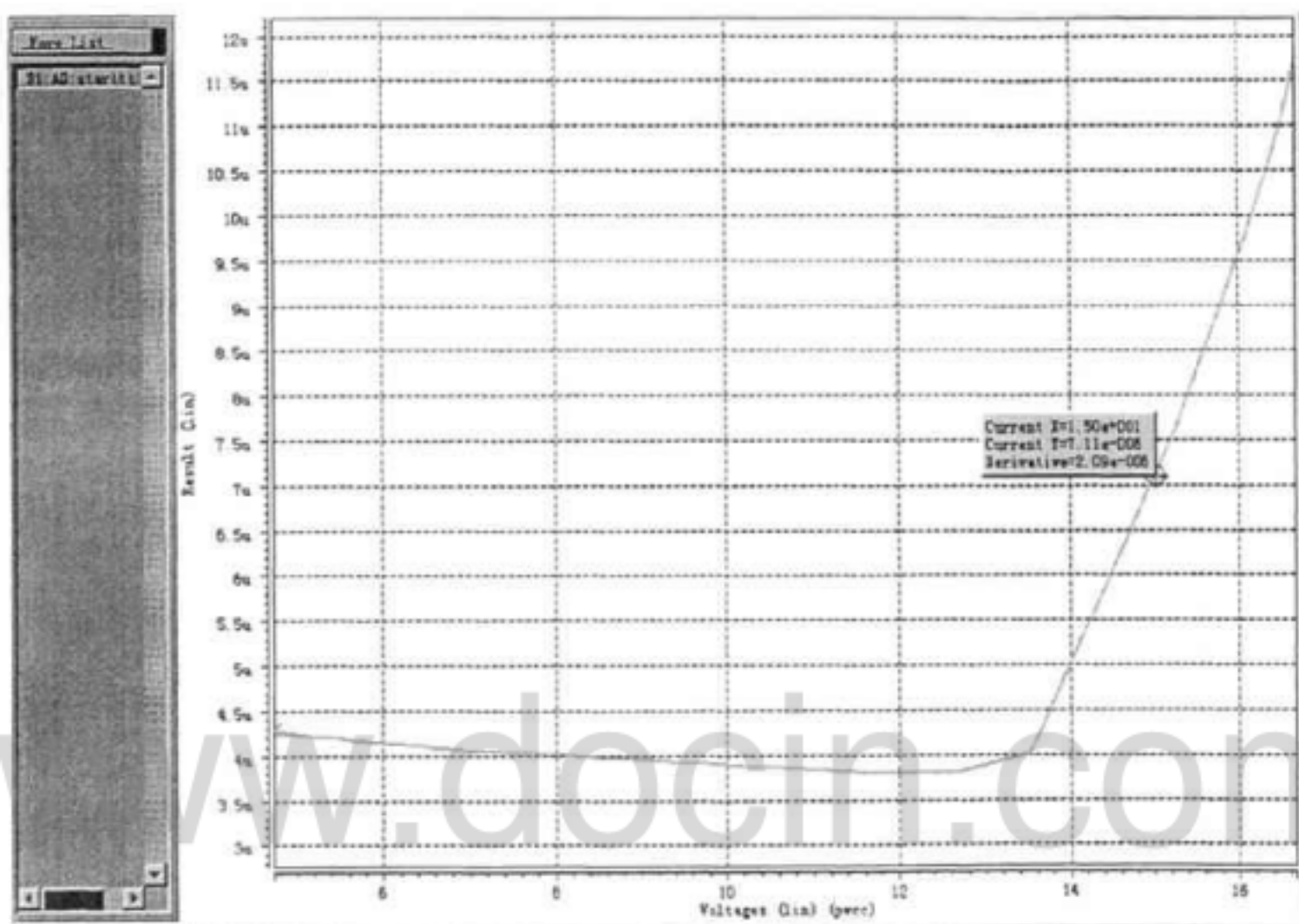


图 4.4 启动电流仿真

Fig. 4.4 Simulation of start-up current

(2) 工作电流仿真

① 仿真条件:

$V_{fb}=3.0V$, 在 $P_{VCC}=16V$ 下测两流入 VDD 的电流。

② 仿真结果:

温度 27°C, $I_{VDD_Operation}=2.36mA$, 如图 4.5。

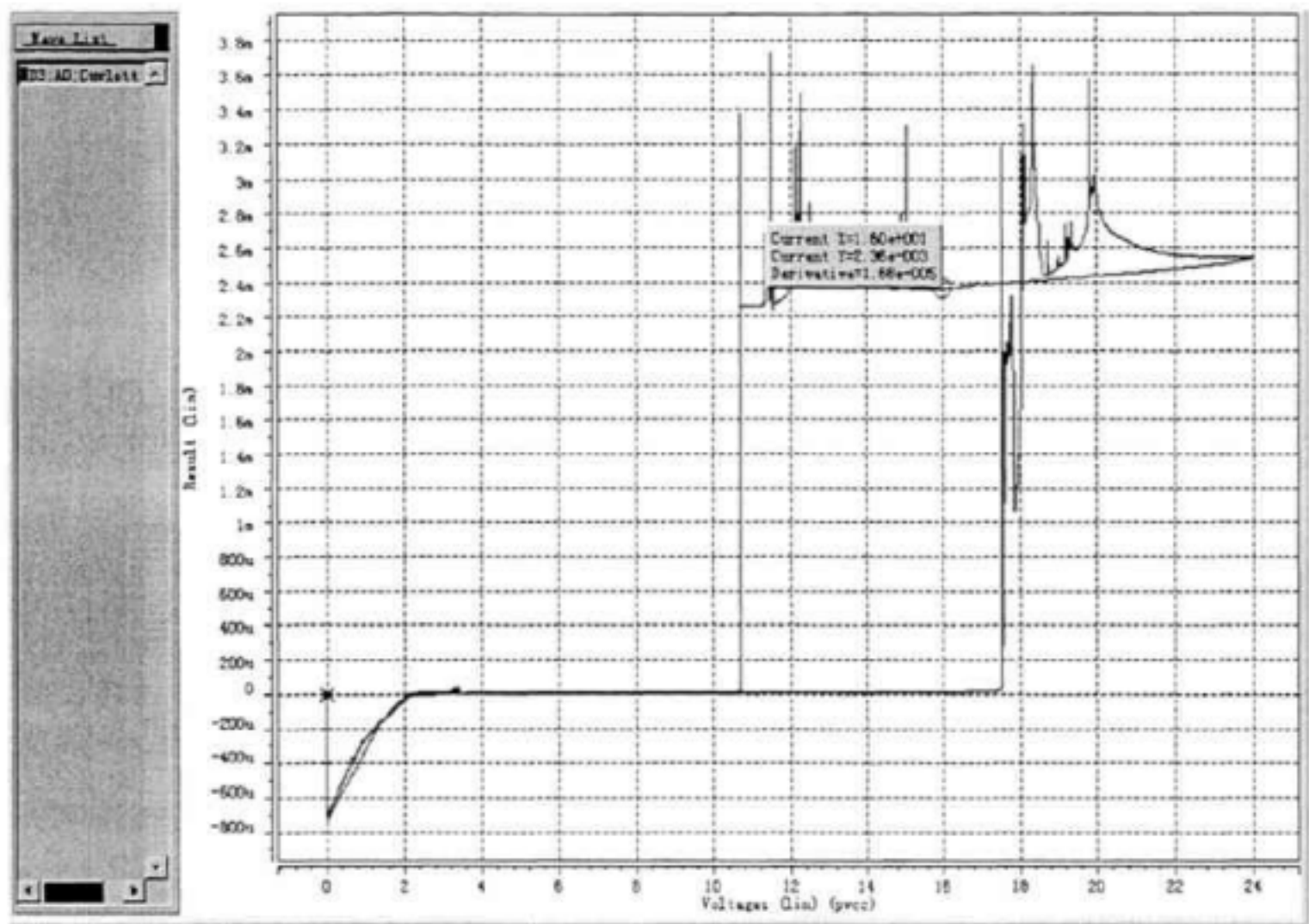


图 4.5 工作电流仿真

Fig.4.5 Simulation of operation current

(3) FB 短路电流

① 仿真条件:

v0 pvcc 0 pwl 0 0 100u 22 300u 22 400u 16

v12 fb 0 0

v13 sense 0 0.2

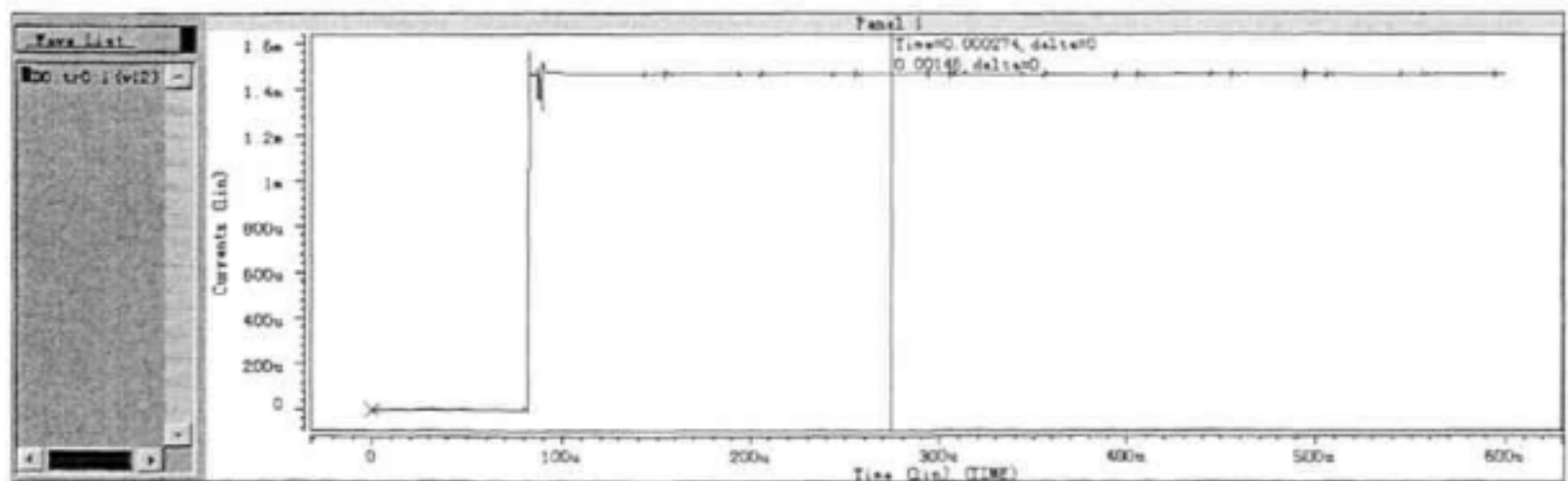


图 4.6 FB 端短路电流

Fig.4.6 Short circuit current of FB pin

② 仿真结果:

温度 27°C , $I_{FB_short}=1.46\text{mA}$, 如图 4.6。

(4)FB 开路电压

① 仿真条件:

v0 pvcc 0 pwl 0 0 100u 22

v1 vin 0 pwl 0 0 100u 23.5

v2 pgnd 0 0

v3 pad3 0 0

v4 pad4 0 5

v5 pad5 0 0

v6 pad6 0 5

v8 pad8 0 0

v9 pad9 0 0

v10 pad10 0 0

v11 pad11 0 0

*v12 fb 0 1.7

v13 sense 0 0.2

Cload gate 0 1n

Rosc RI 0 24K

Rtmp RT 0 50K

② 仿真结果:

温度 27°C $V_{FB_OPEN}=5.76\text{V}$, 如图 4.7。



图 4.7 FB 端开路电压

Fig.4.7 Open loop voltage of FB pin

(5) OVP 滞回曲线

① 仿真条件:

v0 pvcc 0 pwl 0 0 100u 22 200u 30 300u 0

v12 fb 0 3

v13 sense 0 0.4

v8 pad8 0 0

Cload gate 0 1n

.tran 80u 300u uic

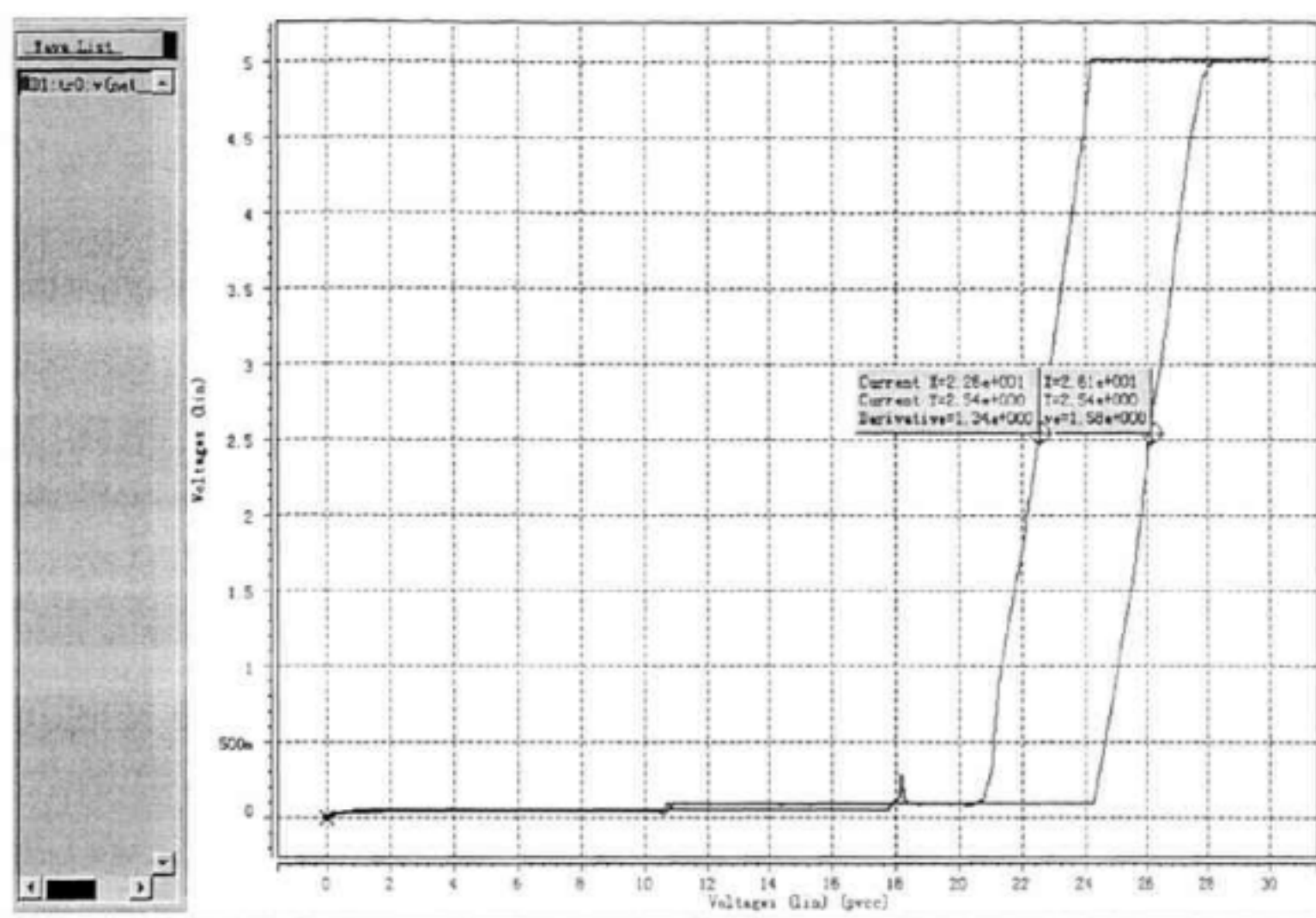


图 4.8 OVP 滞回曲线

Fig.4.8 Hysteresis curves of OVP circuit

② 仿真结果:

温度 27°C, $V_{OVP_ON}=26.1V$, $V_{OVP_OFF}=22.6V$, 滞回 $V_{OVP_Hys}=3.5V$, 如图 4.8。

(6) VDD 嵌位

① 仿真条件:

v0 pvcc 0 pwl 0 0 100u 20 200u 40 300u 50

② 仿真结果: 温度 27°C, 如图 4.9。

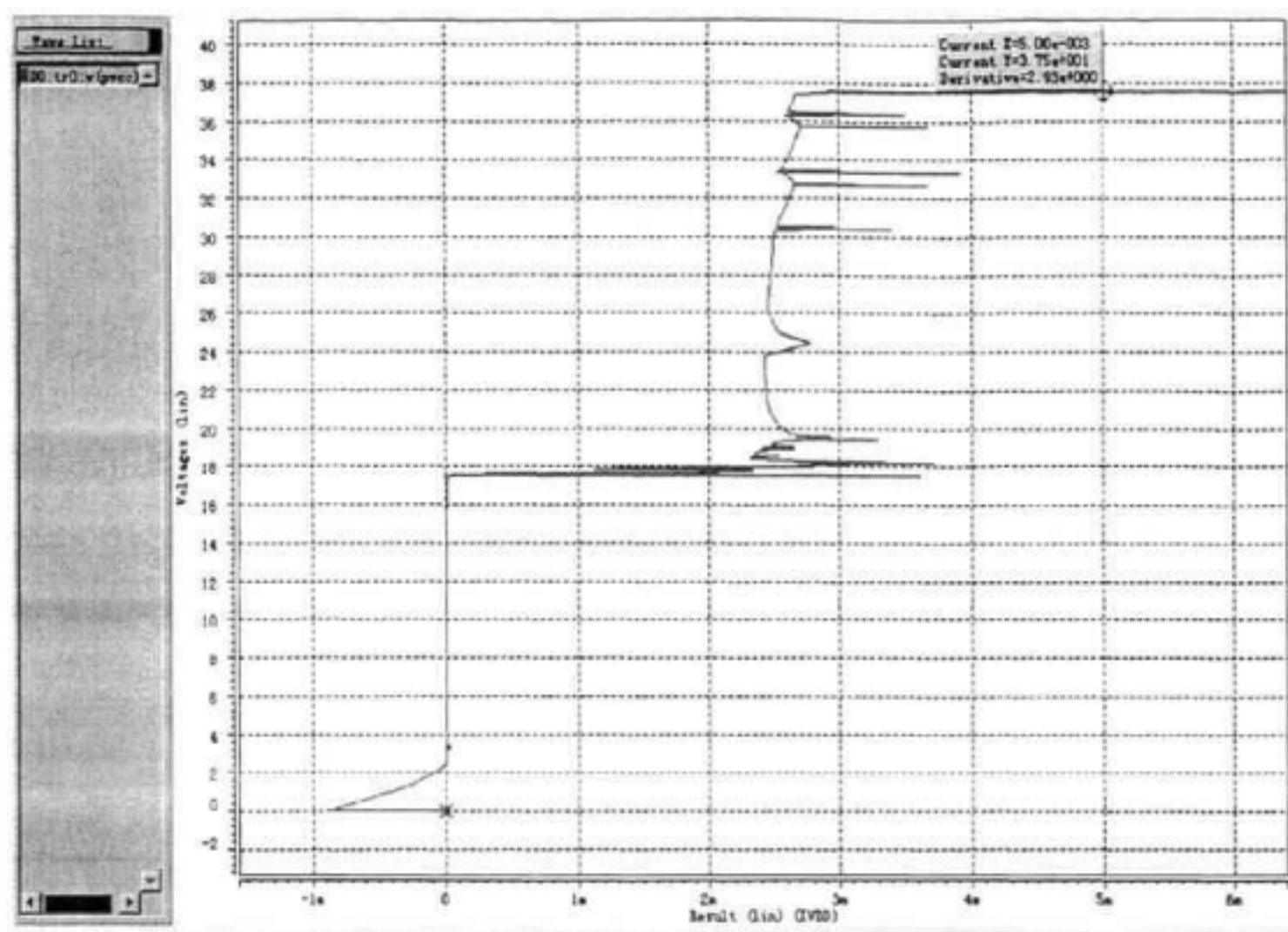


图 4.9 VDD 嵌位

Fig.4.9 VDD clamp

这些仿真结果不仅表明该芯片工作状态良好，还显示出芯片工作电流低，功耗低的优良性能。

www.docin.com

结 论

(1) 总结

随着电子产业的发展,电源管理技术有了很大的改进。从最初的只起整流作用,逐渐发展成具备多种功能的先进技术,并成为当今电力电子设备和系统领域中应用最为广泛的技术之一。电源管理集成电路问世以来,以其体积小、效率高等优点成为众多电力电子设备和系统中不可缺少的重要构成单元。电子设备和系统的飞速发展给电源管理集成电路带来了新的机遇与挑战。

由于复杂多变的应用条件、全球化可持续发展的需要等等诸多因素,使得电子产品对电源管理集成电路的性能要求越来越高。是否能够提供精准、稳定、抗扰、节能、安全、高效的电源管理,不仅成为设计的重点和难点,同时也给电源管理集成电路的仿真、验证、生产加工和测试带来新的挑战。特别是现有的电源管理集成电路由于成本问题,大多仅以稳定性为设计目标,提供的电源电压电流精度和抗干扰能力都较低,严重影响了电子设备的使用寿命和安全性。在这种情况下,研究设计高精度抗干扰性的电源管理集成电路就更具有理论意义和应用价值。

为解决上述问题,论文首先对当前电源管理集成电路的研究现状进行了深入的分析,并准确把握电源管理设计的方向——提高电源管理精准程度以及全方位高效抗干扰性能。

然后,本文讨论了卓越的高精度、抗干扰性能对电源管理芯片的重要意义,给出了保证芯片高精度工作的电源基准模块,以及可降低电磁干扰的频率抖动模块,简述了其工作原理和设计方法。

第三,在对传统的电源管理芯片电路认真分析总结的基础上,灵活地将电源管理的前沿技术运用到电路设计中,选择基准源和振荡器这两个关键核心作为主要的研究对象。针对提高电源管理芯片精度和抗电磁干扰性能,结合降低电源待机功耗问题,设计了两款电路:

一是高精度 CMOS 带隙基准电压源电路。该电路能够为开关电源芯片提供高精度高稳定性的基准电压。设计电压值为 1.25V。仿真结果表明,该电路输出基准电压的相对误差仅为 2.08mV,温度系数($-40^{\circ}\text{C}\sim 150^{\circ}\text{C}$)为 15.6ppm/ $^{\circ}\text{C}$,电源抑制比(PSRR)为 61dB,且功耗较低,是一款高精度、低温度系数、高电源抑制的基准源。

另一个是采用频率抖动技术的 RC 振荡器电路。该电路适用于降低开关电源芯片电磁干扰幅值。振荡器中心频率为 44.6KHz,在一个周期(8ms)内实现围绕中心频率抖动,幅值为 1.6KHz。

两款电路均采用 simoMOS 1 μ m 40V BiCMOS 工艺库设计,并经过了 Hspice 仿真验证。Hspice 仿真结果表明这两款电路在提高精度、降低电磁干扰方面有较理想的性能。

最后,论文在对模块进行了原理简述、电路设计分析以及仿真之后,给出了一个以这两款电路为核心的完整的 PWM 开关电源芯片实例。除了采用了上述两款电路做为核心模块外,还匹配其他电路模块。仿真结果表明,我们的设计在提高芯片精度和抗电磁干扰性能的同时,满足了芯片良好的稳定性和低功耗要求。该芯片基于 SinoMOS 公司的 1 μ m40V BiCMOS 工艺,是一款峰值电流型 PWM 控制器芯片,共有 8 个引脚,采用 DIP-8 封装,在 85V~265V 的 AC 输入范围内,可以提供恒定的直流输出。芯片适用于离线式 AC-DC 反激拓扑的中小功率电源模块。对于各种便携式电子设备是很好的电源管理选择。

(2) 展望

在总结现有工作的基础上,认为目前的工作尚有许多不足之处,有待下一步工作的继续完善。主要表现在:

① 电源管理设计技术目前还不适用于 SOC(系统芯片),下一步应研究开发大电流输出技术,以满足 SOC 需要。

② 各个模块的功能有待进一步的完善。比如保护电路模块等,进一步提升稳定性。

③ 集成电路设计还不能完全跟上工艺发展的脚步。

www.docin.com

参 考 文 献

- [1] 王国平, 王鸿麟. 便携电子设备电源管理技术[M]. 西安: 西安电子科技大学出版社, 2004.
- [2] Van Wyk J D, And Fred C L. Power electronics technology at the dawn of the newmillenium-status and future [C]. Power Electronics Specialists Conference, 1999. PESC 99. 30th Annual IEEE, Charleston, 1999: 9-20.
- [3] 张波. 开关电源的优点及应用[J]. 电气开关, 2007, 45(1): 1-6.
- [4] Jacob R, Harry B, David E et al. CMOS circuit design, layout, and simulation, second edition [M]. Boyce: Wiley-IEEE Press, 2004: 1-8.
- [5] Blischke W.R, MURTHY D. N. Reliability: Modeling, prediction and optimization [M]. New York: John Wiley and sons, 2000.
- [6] Lee F C, van Wyk J D, Boroyevich D. Power electronics technology: present trends and future developments [J]. 2001, 89(6): 799-802.
- [7] Schulman P et al. High reliability and the management of critical infrastructures [J]. Journal of contingencies and crisis management, 2004, 12(1): 14-28.
- [8] Locascio J, Cho W. New ICs and control techniques for battery powered systems [C]. WESCON, 1993.
- [9] 熊亚兰. 电子设备电源的可靠性及保护电路[J]. 火控雷达技术, 2006, 35(3): 60-63.
- [10] 张卫平. 绿色电源[M]. 北京: 科学出版社, 2001.
- [11] 袁俊. 品质决定胜负, 探讨电源管理芯片发展趋势[J]. 电子测试: 新电子, 2006, (6): 26-29.
- [12] 杨旭, 裴元庆, 王兆安. 开关电源技术[M]. 北京: 机械工业出版社, 2004.
- [13] Lee F C, van Wyk J D, Boroyevich D et al. Technology trends toward a system-in-a-module in power electronics [J]. Circuits and Systems Magazine, IEEE, 2002, 2(4): 4-22.
- [14] Van Wyk J. D. Power electronics technology at the dawn of a new century-past achievements and future expectations [C]. Beijing: Power Electronics and Motion Control Conference, 2000.
- [15] 孟波, 邹雪城, 孟超. 一种高性能 CMOS 基准电压源电路设计[J]. 微电子学与计算机, 2003, 23(8): 161-162.
- [16] Jiwei C, Bingxue S. 1V cmos current reference with 50ppm/ $^{\circ}$ C temperature coefficient[J]. IEEE Electronics Letters, 2003, 39(2): 209-210.
- [17] Doyle J, Lee Y J, Kim Y B. A cmos subbandgap reference circuit with 1V power supply voltage[J]. IEEE Journal of Solid State Circuits, 2004, 39(1): 252-255.
- [18] 黄晨, 汪贵平. 带隙型集成电压基准源的原理及应用[N]. 西安公路学院学报, 1994, 14(2).

- [19] Mok P K T, Ka N L. Design considerations of recent advanced low-voltage low-temperature-coefficient CMOS bandgap voltage reference [C]. Custom Integrated Circuits Conference, 2004.
- [20] 马克.皮尔森, 金国峰. 电压基准源的合理选择[J]. 电测与仪表, 2001, 38(424): 52-53.
- [21] Khan Q.A, Wadhwa S.K, Misri L.K. Power startup circuits for voltage and current Reference with zero steady state current [C]. Proceedings of the 2003 International Symposium, Low Power Electronics and Design(ISLPED'03), 2003.
- [22] Gray P.R. Analysis, Design of analog integrated circuits [M]. New York: Wiley, 2003.
- [23] Liod H.D, Dizon J. Current-mode control of switching power supply [J]. IEEE transactions on industry application, 1995, (31): 145-148.
- [24] Lee C H, Park H J. A cmos temperature independent current reference [J]. IEE Electronics Letters, 1996, 32(14): 1280-1281.
- [25] Widlar R. J. New developments in IC voltage regulators [J]. IEEE Journal of Solid-State Circuits, 1971, 6(1): 2-7.
- [26] Gunaway M et al. A Curvature-corrected low-voltage bandgap reference [J]. IEEE Journal of Solid-State Circuits, 1993, 28(6): 667-670.
- [27] Lee I et al. Exponential curvature-compensated BiCMOS bandgap references [J]. IEEE Journal of Solid-State Circuits, 1994, 29(11): 1396-1403.
- [28] Meijer G.M et al. A new curvature-corrected bandgap reference [J]. IEEE Journal of Solid-State Circuits, 1982, 17(6): 1139-1143.
- [29] Lasanen K, Korkala V, Ruotsalainen E et al. Design of a 1-V power CMOS bandgap reference based on resistive subdivision [C]. Tulsa: In:Proceedings of the 45th IEEE Midwest Symposium on Circuits and Systems, 2002.
- [30] Bimal k B. Recent advances in power electronics [J]. IEEE Trans on Power Electronics, 1992, 7(1): 2-16.
- [31] Bang-Sup S, Paul R, Gray A. Precision curvature-compensated CMOS bandgap reference [J]. IEEE Journal of Solid-State Circuits, 1983, 18(6): 634-643.
- [32] Ka Nang L, Philip K T, Mok ChiYat L. A 2-V 23 μ A 5.3-ppm/ $^{\circ}$ C 4th Ordercurvature compensated CMOS bandgap reference [C]. Orlando :IEEECICC, 2002.
- [33] 肖坤光. 一种 BiCMOS 基准源及其应用[J]. 微电子学, 1995, 25(4): 22-26.
- [34] 胡萍, 陈路. 0.18 μ m 上升为主流 IC 设计技术, 缩短设计周期成为最大挑战[EB/OL], http://www.eetchina.com/ART_8800365921_480101.HTM, 2005.
- [35] 李建婷, 熊蕊. 抖频—有效降低开关电源 EMI 噪声容限的技术[J]. 电源技术应, 2006, 9(5): 40-42.
- [36] 李志忠, 丘水生, 陈艳峰. 混沌调制对开关变换器 EMI 抑制有效性的实验研究[J]. 电工技术学报, 2006, 21(8): 97-102.

- [37] Tse H K.K, Shu-Hung C, Ron S.Y. et al. Compara-tive study of carrier-frequency modulation techniques for conducted EMI Suppression in PWM Converters [J]. IEEE Transactions on Industrial Electronics, 2002, 49(3): 618~623.
- [38] 张建军, 张莉明, 丘水生. 混沌调制抑制开关变换器 EMI 的实验研究[J]. 航天控制, 2006, 24(4): 87-90.
- [39] Lin F, Dan Y C. Reduction of power supply EMI emission by switching frequency Modulation [J]. IEEE Transactions on Power Electronics, 1994, 9(1): 132-133.
- [40] 周立夫, 林明耀. EMI 电源滤波器的设计和仿真分析[J]. 低压电器, 2004, 4(12): 7-9.
- [41] 朱樟明, 杨银堂. 一种具有省电模式的 CMOS 反激式 PWM 控制器[J]. 半导体学报, 2008, 29(11): 2275-2280.
- [42] 王经朋, 何志伟. 提高开关电源待机效率的方法[J]. 电源世界, 2005, (4): 25-27.
- [43] Jin-ho C, Dong-young H, Young-seak K. The improved burst mode in the stand-by operation of power supply [C]. Applied Power Electronics Conference and Exposition, 2004.
- [44] Allen P E, Holberg D R. CMOS analog circuit design, second edition [M]. Beijing: Publishing House of Electronics Industry, 2002.
- [45] Gray P R, Hurst P J. Analysis and design of analog integrated circuits fourth edition [M]. John Wiley&Sons, 2001.
- [46] 拉扎维. 模拟 CMOS 集成电路设计[M]. 西安: 西安交通大学出版社, 2003.
- [47] Sanduleanu M A T, Tuijl A J M, Wassenaar R F. Accurate low-power bandgap voltage referene in 0.5-um CMOS technology [J]. Electron Lett, 1998, 34(10): 1025-1026.
- [48] Palumbo G, Pennisi S. Feedback amplifiers: theory and design. Norwell, MA: Kluwer, 2002.
- [49] Stone D A, Chambers B, Howe D. Easing EMC problems in switched mode power converters by random modulation of the PWM carrier frequency [J]. IEEE 0-7803-3044-7/96, 1996, 327-333.
- [50] Paul R G, Paul J H, Stephen H L et al. Analysis and design of analog integrated circuits [M]. New York: John Wiley & Sons, 2001.
- [51] Farhadi A. A new approach to analyze&reduction of RF conducted emission due to PWM in a buck converter [J]. IEE CIRED2001 Conference Publication, 2001, 482(06): 18-21.
- [52] Abraham I P. 开关电源设计[M]. 北京: 电子工业出版社, 2005.

攻读硕士学位期间发表学术论文情况

《一种低压 CMOS 带隙基准电压源》

学位论文位置：第三章

作者：杜晓书 杜国同 赵宇

刊物名称：大连理工大学研究生网络学刊

主办单位：大连理工大学研究生院学位办

发表时间：2009-5

www.docin.com

致 谢

首先,衷心感谢我的导师杜国同教授和赵宇老师。在读研这期间,杜老师和赵老师给了我许多教诲与关怀。杜老师不仅给我提供了良好的学习环境和科研条件,并且让我学到很多行之有效的科研方法。经杜老师介绍,我有幸去大连精拓光电有限公司实习,参与公司多个项目的设计,这使我受益匪浅,此向杜老师致以深深地谢意。

本论文是在杜老师和赵老师的悉心指导下完成的,从论文的选题、开题到最后的定稿,都得到了二位师长给予的极大帮助和支持。再次表示感谢!

感谢专业的各位老师和同学。

感谢精拓光电的李拓博士和李宝骐博士在技术上对我的指导和帮助,

同时还要感谢赵宏伟、巴宇、邓丽等同事。在论文的撰写过程中,有关技术上的问题与他们进行了很多有意义的探讨,对论文的顺利完成提供了宝贵的意见。

感谢李昌、陈达等同窗好友给予我的帮助。

最后要特别感谢我的家人,是他们的关怀备至和鼎力支持使我有拼搏的勇气和无穷的信心。

www.docin.com